

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-346131

(43)Date of publication of application : 14.12.2001

(51)Int.Cl. H04N 5/66
G02F 1/133
G09G 3/20
G09G 3/28
G09G 3/36
H04N 7/01

(21)Application number : 2000-168068

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 05.06.2000

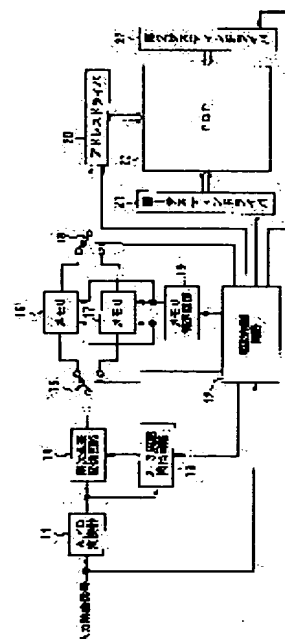
(72)Inventor : NAGAKUBO TETSURO
SHIGETA TETSUYA
HONDA KOJI

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device that enhances display quality of a telecine conversion picture.

SOLUTION: Whether or not a received interlace scanning video signal is a telecine conversion video signal in the unit of fields that is obtained through telecine conversion of a film source 24 frames per second is detected. In the case that the discrimination indicates the telecine conversion video signal, the received interlace scanning video signal is sequentially converted into a noninterlace scanning video signal through inter-field interpolation processing using a field of the same film frame, the noninterlace scanning video signal after the conversion is thinned and written in a memory in the unit of fields, the noninterlace scanning video signal written in the memory is repetitively read from the memory n-times at a rate of a multiple of (n) (n is an integer being 2 or over) of 24 Hz and the noninterlace scanning video signal read from the memory drives a display panel.



LEGAL STATUS

[Date of request for examination]

17.01.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A detection means to detect whether it is the telecine conversion video signal of a field unit with which the inputted video signal of interlaced scanning carried out telecine conversion of the film source of 24 coma per second, and was acquired, When it is distinguished by said detection means that said inputted video signal of interlaced scanning is a telecine conversion video signal A line-sequential-scanning conversion means to change said inputted video signal of interlaced scanning into the video signal of line sequential scanning by field interpolation processing using the field of the same film frame, Thin out the video signal of line sequential scanning after memory and conversion by said line-sequential-scanning conversion means, and it writes in said memory per field. The memory control means which repeats the video signal of line sequential scanning written in said memory n times, and reads it from said memory by one n times (n is two or more integers) the rate of 24Hz of this, The display characterized by having the display-panel driving means which drives a display panel with the video signal of line sequential scanning read from said memory.

[Claim 2] Said display-panel driving means divides the display period of the 1 field into two or more subfields, and sets it to each of said subfield. A pixel cel is set as one condition of a luminescence cel or a nonluminescent cel according to the video signal of line sequential scanning read from said memory. The luminescence drive sequence to which only the count corresponding to said two or more weighting of each subfield makes only said luminescence cel emit light is set up. Said luminescence drive sequences of each over the video signal of said line sequential scanning for the 1 field by which repeat reading appearance was carried out n times are displays according to claim 1 characterized by consisting of n times of luminescence drive sequences from which the ratio of said count of luminescence in said two or more subfields of each differs mutually.

[Claim 3] Said display panel is a display according to claim 1 characterized by being a plasma display panel.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the display of matrix methods, such as a plasma display panel (PDP) which enabled the display of the telecine conversion video signal by which the input video signal was generated with conversion methods, such as a 2-3 pulldown method, from the motion-picture film by high definition, inorganic or an organic electroluminescence (EL) panel, and a liquid crystal panel.

[0002]

[Description of the Prior Art] There is that the video signal by the motion-picture film is included in the video signal of standard television systems, such as NTSC system, plentifully. A motion-picture film consists of per second 24 coma (frame), on the other hand, the video signal of a standard television system consists of per second 30 frames, and one frame is the video signal of interlaced scanning which consists of the 2 fields. Since frame numbers per second differ, carrying out telecine conversion of each frame of a motion-picture film with a 2-3 pulldown method, and acquiring the video signal of a standard television system is usually performed.

[0003] By the 2-3 pulldown method, the 2nd field of the 3rd frame of a video signal and the 1st field of the 4th frame are created from the 1st and 2nd fields of the 1st frame of the 1st coma of a motion-picture film to a video signal, the 1st and 2nd fields of the 2nd frame of the 2nd coma to a video signal and the 1st field of the 3rd frame, and the 3rd coma. Creating a video signal like a part for the part for the part for the 2 field and 3 field and 2 field and 3 field and from each coma of the film which continued by conversion same about subsequent coma is performed.

[0004] Thus, two frames of a motion-picture film correspond to five frames of the video signal of a standard television system, and it is changed into the video signal which the video signal of the 2 fields and the video signal of the 3 fields repeat by turns corresponding to the coma of a motion-picture film.

[0005]

[Problem(s) to be Solved by the Invention] By the way, since the image of the 2nd coma of a motion-picture film and the 3rd coma combined in the frame which a video signal follows (for example, the 3rd above-mentioned frame) when the image by the video signal of interlaced scanning by which telecine conversion was carried out in this way was displayed with displays, such as PDP, there was a trouble that image quality was inferior compared with the original motion-picture film.

[0006] Then, the purpose of this invention is offering the display which aimed at improvement of display quality to a telecine resolution picture.

[0007]

[Means for Solving the Problem] A detection means to detect whether the display of this invention is the telecine conversion video signal of a field unit with which the inputted video signal of interlaced scanning carried out telecine conversion of the film source of 24 coma per second, and was acquired, When it is distinguished that the video signal of interlaced scanning inputted by the detection means is a telecine conversion video signal A line-sequential-scanning conversion means to change into the video signal of line sequential scanning the video signal of interlaced scanning inputted by field interpolation processing using the field of the same film frame, Thin out the video signal of line sequential scanning after memory and conversion by the line-sequential-scanning conversion means,

and it writes in memory per field. The memory control means which repeats the video signal of line sequential scanning written in memory n times, and reads it from memory by one n times (n is two or more integers) the rate of 24Hz of this, It is characterized by having the display-panel driving means which drives a display panel with the video signal of line sequential scanning read from memory.

[0008]

[Embodiment of the Invention] Hereafter, the example of this invention is explained to a detail, referring to a drawing. Drawing 1 shows the display by this invention. In this display, the input video signal of the NTSC format is supplied to A/D converter 11 and the drive control circuit 12.

According to the clock signal supplied from the drive control circuit 12, A/D converter 11 samples the input video signal of an analog, and changes this into 8-bit pixel data (input pixel data) for every pixel. The 2-3 period detector 13 and the sequential-scanning conversion circuit 14 are connected to the output of A/D converter 11.

[0009] The 2-3 period detector 13 judges any of the signal part for the 2 fields, and the signal part for the 3 fields the video signals supplied from A/D converter 11 are per one coma. For example, 1 field period addition of the absolute value of the difference for every inter-frame pixel which a video signal follows is carried out, and the addition value is compared with a predetermined threshold.

When an addition value is beyond a predetermined threshold, it judges with the animation field, and an addition value judges with the still picture field from a predetermined threshold at the time of smallness. The animation field is the case where field images differ by inter-frame [continuous], and the still picture field is the case where the field is in agreement by inter-frame [continuous].

Since the still picture field occurs every 5 fields in the case of the video signal by which telecine conversion was carried out by the 2-3 pulldown method, when the still picture field is detected, the field turns into the last field of the signal part for the 3 fields. The detecting signal by the 2-3 period detector 13 is supplied to the sequential-scanning conversion circuit 14.

[0010] The sequential-scanning conversion circuit 14 changes a video signal into the video signal of line sequential scanning according to the detecting signal of the 2-3 period detector 13. In the signal part for the 2 fields, the video signal for the 2 fields is once saved respectively, and is outputted by turns. In the signal part for the 3 fields, the video signal for the first 2 fields is once saved respectively, and is outputted by turns. That is, when the still picture field is detected in the 2-3 period detector 13, the still picture field is disregarded.

[0011] The change-over switch 15 is connected to the output of the sequential-scanning conversion circuit 14. A change-over switch 15 is supplied to either of the memory 16 and 17 through the output signal of the sequential-scanning conversion circuit 14. Although the change-over switch 15 is connected to the write-in input of memory 16 and 17, the change-over switch 18 is connected to the read-out output of memory 16 and 17. A change-over switch 18 carries out the junction output of the video signal read from either of the memory 16 and 17. Memory 16 and 17 each have a predetermined capacity, and the writing and read-out are controlled by the memory control circuit 19.

[0012] the address driver 20 generates m pixel data pulses which have an electrical potential difference corresponding to the logical level of each conversion pixel data bit for one line of the video signal read from memory 16 and 17 according to the timing signal supplied from the drive control circuit 12, and impresses these to the train electrodes D1-D m of PDP23, respectively. PDP23 is equipped with the above-mentioned train electrodes D1-D m as an address electrode, and the line electrodes X1-X n and the line electrodes Y1-Y n which are arranged by intersecting perpendicularly with these trains electrode. In PDP23, the line electrode which corresponded to one line in the pair of these line electrode X and the line electrode Y is formed. That is, the line electrode pairs of the 1st line in PDP23 are the line electrodes X1 and Y1, and the line electrode pairs of the n -th line are the line electrodes X n and Y n . The top Noriyuki electrode pair and the train electrode are covered with the dielectric layer to discharge space, and have the structure where the discharge cel corresponding to 1 pixel is formed on the intersection of each line electrode pair and a train electrode.

[0013] 1st SASUTIN driver 21 and 2nd SASUTIN driver 22 each generates a driving pulse according to the timing signal supplied from the drive control circuit 12, and impresses these to the line electrodes X1-X n of PDP23, and Y1-Y n . the clock signal and switches 15 and 18 to as opposed to [synchronizing with the horizontal and Vertical Synchronizing signal in the above-mentioned

input video signal] A/D converter 11 in the drive control circuit 12 -- the timing signal for the store to the memory 16 and 17 by each change-over signal and the memory control circuit 19 and read-out is generated. Furthermore, the drive control circuit 12 generates these various timing signals that should carry out drive control of address driver 20, 1st SASUTIN driver 21, and 2nd SASUTIN driver 22 each synchronizing with level and a Vertical Synchronizing signal.

[0014] In the display of this configuration, supposing an input video signal is a video signal by which telecine conversion was carried out by the 2-3 pulldown method, the video signal will serve as the coma A, B, C, and D of the film shown in drawing 2 (a), and a **** field train shown in drawing 2 (b) to That is, to Coma A, it becomes the 1st field A1 of the 1st frame, and the 2nd field A2, and becomes the 1st field B1 of the 3rd frame to Coma B at the 1st field B1 of the 2nd frame, and a 2nd field B-2 list. To Coma C, it becomes the 2nd field C1 of the 3rd frame, and the 1st field C2 of the 4th frame, and becomes the 1st field D2 of the 5th frame, and the 2nd field D1 to Coma D at the 2nd field D1 list of the 4th frame. Each field length of the die length of each coma is 1 / 60 seconds to 1 / 24 seconds.

[0015] Since the sequential-scanning conversion circuit 14 changes into the video signal of line sequential scanning the video signal by which telecine conversion was carried out, as a signal is acquired from the 1st field A1 of the 1st frame and the 2nd field A2 of drawing 2 (b) by turns for every Rhine and it is shown in drawing 2 (c), the video signal VA for one screen is generated. Similarly, a signal is acquired from the 1st field B1 of the 2nd frame, and 2nd field B-2 by turns for every Rhine, and the video signal VB for one screen is generated. A signal is acquired from the 2nd field C1 of the 3rd frame, and the 1st field C2 of the 4th frame by turns for every Rhine, and the video signal VC for one screen is generated. A signal is acquired from the 1st field D2 of the 5th frame by turns for every Rhine in the 2nd field D1 list of the 4th frame, and the video signal VD for one screen is generated. these video signals VA, VB, VC, and VD -- each die length is 1 / 30 seconds.

[0016] The memory control circuit 19 makes the output video signal of the sequential-scanning conversion circuit 14 write in memory 16 and memory 17 by turns through a change-over switch 15. Moreover, this writing thins out a video signal and is written in by 24Hz. As shown in drawing 2 (d), supposing a video signal VA is thinned out and written in memory 16 next, as shown in drawing 2 (e), a video signal VB will be thinned out and written in memory 17. And a video signal VC thins out in memory 16, and it is written in it, next a video signal VD is thinned out and written in memory 17.

[0017] Thus, the video signals VA, VB, VC, and VD thinned out and written in memory 16 and 17 are read by control of the memory control circuit 19. This read-out is repeatedly performed twice by memory 16 and 17 each by 48Hz. That is, as shown in drawing 2 (f), a video signal VA is read twice from memory 16, and as shown in drawing 2 (g) below, a video signal VB is read twice from memory 17. Similarly, a video signal VC is read twice from memory 16, and then a video signal VD is read twice from memory 17.

[0018] Sequential supply of the video signal (pixel data) read from memory 16 and 17 each is carried out through a change-over switch 18 at the address driver 20. sequential generation is carried out and these are respectively impressed to m pixel data pulses which have an electrical potential difference corresponding to the logical level of each pixel data bit for one line of the video signal by the train electrodes D1-Dm of PDP23. Moreover, the driving pulse from 1st SASUTIN driver 21 and 2nd SASUTIN driver 12 each is generated, and it is impressed by the line electrodes X1-Xn of PDP23, and Y1-Yn. Therefore, the image according to the video signal read from memory 16 and 17 each is displayed on PDP23.

[0019] To the video signal VA read from memory 16 as described above, as shown in drawing 2 (h), the image by the video signal VA is continuously displayed twice by a unit of 1/48 second. The image by each video signal is continuously displayed twice from memory 16 or 17 by a unit of 1/48 second also to video signals VB, VC, and VD. That is, the display which will be one screen in 1 / 24 seconds like the coma of the motion-picture film of drawing 2 (a) is performed.

[0020] in addition, the video signals VA, VB, VC, and VD thinned out and written in memory 16 and 17 -- each read-out may be repeated n times by nx24Hz. n is two or more integers. For example, as 72Hz shows at drawing 2 (i) in 3 times repeat read-out, a video signal VA is read from memory

16 3 times, and as shown in drawing 2 (j) below, a video signal VB is read from memory 17 3 times. Similarly, a video signal VC is read from memory 16 3 times, and then a video signal VD is read from memory 17 3 times. To the video signal VA read from memory 16, as shown in drawing 2 (k), the image by the video signal VA is continuously displayed by a unit of 1/72 second 3 times. The image by each video signal is continuously displayed from memory 16 or 17 by a unit of 1/72 second 3 times also to video signals VB, VC, and VD. That is, the display which will be one screen in 1 / 24 seconds like the coma of the motion-picture film of drawing 2 (a) is performed.

[0021] Drawing 3 is drawing showing the outline configuration of the display using PDP as other examples of this invention. In drawing 3, according to the clock signal supplied from the drive control circuit 2, A/D converter 1 samples the input video signal of an analog, changes this into the 8-bit pixel data (input pixel data) PD for every pixel, and supplies this to the data-conversion circuit 30.

[0022] The drive control circuit 2 generates the clock signal over above-mentioned A/D converter 1, and the store and read-out signal over memory 4 synchronizing with the horizontal and Vertical Synchronizing signal in the above-mentioned input video signal. Furthermore, the drive control circuit 2 generates these various timing signals that should carry out drive control of address driver 6, 1st SASUTIN driver 7, and 2nd SASUTIN driver 8 each synchronizing with level and a Vertical Synchronizing signal.

[0023] The data-conversion circuit 30 changes these 8-bit pixel data PD into the 8-bit conversion pixel data (display pixel data) HD, and supplies this to memory 4. In addition, about conversion actuation of this data-conversion circuit 30, it mentions later. Memory 4 writes in the above-mentioned conversion pixel data HD one by one according to the write-in signal supplied from the drive control circuit 2. After the writing for one screen (n lines, m train) is completed by this write-in actuation, memory 4 divides and reads conversion pixel data HD 11-nm for this one screen for every bit digit, and supplies this to the address driver 6 one by one for every one line.

[0024] the address driver 6 generates m pixel data pulses which have an electrical potential difference corresponding to the logical level of each conversion pixel data bit for one line read from this memory 4 according to the timing signal supplied from the drive control circuit 2, and impresses these to the train electrodes D1-Dm of PDP10, respectively. PDP10 is equipped with the above-mentioned train electrodes D1-Dm as an address electrode, and the line electrodes X1-Xn and the line electrodes Y1-Yn which are arranged by intersecting perpendicularly with these trains electrode. In PDP23, the line electrode which corresponded to one line in the pair of these line electrode X and the line electrode Y is formed. That is, the line electrode pairs of the 1st line in PDP10 are the line electrodes X1 and Y1, and the line electrode pairs of the n-th line are the line electrodes Xn and Yn. The top Noriyuki electrode pair and the train electrode are covered with the dielectric layer to discharge space, and have the structure where the discharge cel corresponding to 1 pixel is formed on the intersection of each line electrode pair and a train electrode.

[0025] According to the timing signal supplied from the drive control circuit 2, although 1st SASUTIN driver 7 and 2nd SASUTIN driver 8 each is explained below, it generates **** various driving pulses, and it impresses these to the line electrodes X1-Xn of PDP10, and Y1-Yn. Drawing 4 is drawing showing the impression timing of the various driving pulses which above-mentioned address driver 6, 1st SASUTIN driver 7, and 2nd SASUTIN driver 8 each impresses to the train electrodes D1-Dm of PDP10, the line electrodes X1-Xn, and Y1-Yn.

[0026] In the example shown in drawing 4, the display period of the 1 field is divided into eight subfields SF1-SF8, and the drive to PDP10 is performed. In each subfield, the pixel data write-in stroke Wc which writes in pixel data to each discharge cel of PDP10, and performs a setup of a luminescence cel and a nonluminescent cel, and the maintenance luminescence stroke Ic which only the period (count) corresponding to weighting of each subfield makes carry out luminescence maintenance only of the above-mentioned luminescence cel are carried out. Moreover, the simultaneous reset stroke Rc which makes all the discharge cels of PDP10 initialize in the top subfield SF 1 is performed, and the elimination stroke E is performed in the subfield SF 8 at the tail end.

[0027] First, in the above-mentioned simultaneous reset stroke Rc, although the 1st SASUTIN driver 7 and the 2nd SASUTIN driver 8 are shown in drawing 3 to the line electrodes X1-Xn of PDP10 and

Y1 - Yn(s) of each, they impress the **** reset pulses RPx and RPY to coincidence. According to impression of these reset pulses RPx and RPY, all the discharge cels in PDP10 carry out reset discharge, and predetermined wall charge is uniformly formed in each discharge cel. Thereby, all discharge cels are set as the above-mentioned luminescence cel.

[0028] Next, it is impressed by the train electrodes D1-Dm one by one, and the address driver 6 goes by the pixel data write-in stroke Wc of drawing 4, as the pixel data pulse groups DP11-n for every line, DP21-n, DP31-n, ..., DP81-n are shown in drawing 3. that is, the address driver 6 -- the inside of a subfield SF 1 -- above-mentioned conversion pixel data HD11-nm -- as it is shown in drawing 4, for every one line, it is impressed by the train electrodes D1-Dm one by one, and goes the pixel data pulse groups DP11-n corresponding to - of 1st line the n-th line of each generated based on each 1st bit. moreover -- the inside of a subfield SF 2 -- above-mentioned conversion pixel data HD11-nm -- as it is shown in drawing 4, for every one line, it is impressed by the train electrodes D1-Dm one by one, and goes the pixel data pulse groups DP21-n generated based on each 2nd bit. Under the present circumstances, the address driver 6 is restricted when the bit logic of conversion pixel data is logical level "1", it generates the pixel data pulse of the high voltage, and impresses it to the train electrode D. Although shown in drawing 4, the 2nd SASUTIN driver 8 generates the **** scan pulse SP, carries out sequential impression of this to the line electrodes Y1-Yn, and goes by the same timing as the impression timing of each of this pixel data pulse group DP. Here, discharge (selection elimination discharge) arises only in the discharge cel of the intersection of the "line" to which the above-mentioned scan pulse SP was impressed, and the "train" to which the pixel data pulse of the high voltage was impressed, and the wall charge which remained in the discharge cel is eliminated alternatively. By this selection elimination discharge, the discharge cel initialized by the condition of a luminescence cel in the above-mentioned simultaneous reset stroke Rc changes to a nonluminescent cel. In addition, discharge does not occur in the discharge cel currently formed in the "train" to which the pixel data pulse of the above-mentioned high voltage was not impressed, but the condition initialized in the above-mentioned simultaneous reset stroke Rc, i.e., the condition of a luminescence cel, is maintained.

[0029] That is, according to activation of the pixel data write-in stroke Wc, the luminescence cel in which a luminescence condition is maintained in the maintenance luminescence stroke mentioned later, and a nonluminescent [that it continues being in a putting-out-lights condition] cel are alternatively set up according to pixel data, and it succeeds in the so-called writing of pixel data. Moreover, in the maintenance luminescence stroke Ic shown in drawing 4, the 1st SASUTIN driver 7 and the 2nd SASUTIN driver 8 impress the maintenance pulses IPX and IPY by turns, as shown in drawing 4 to the line electrodes X1-Xn, and Y1-Yn. Under the present circumstances, according to the above-mentioned pixel data write-in stroke Wc, during the period when these maintenance pulses IPX and IPY are impressed by turns, the discharge cel which is that wall charge remained with as, i.e., a luminescence cel, repeats electroluminescence, and it maintains that luminescence condition.

The luminescence maintenance period (count) is set up corresponding to weighting of each subfield. [0030] Drawing 5 is drawing showing the luminescence drive format the luminescence maintenance period (count) for every subfield is described to be. In addition, for example, the even number field (or even frames) and drive mode (B) are used for the drive mode (A) of drawing 5 at the time of a luminescence drive in the odd number field (or odd frame). Namely, it sets during the display period of the even number field. The luminescence period in the maintenance luminescence stroke Ic for every subfield SF 1-8 As shown in drive mode (A), it is set as

SF1:3SF2:11SF3:20SF4:30SF5:40SF6:51SF7:63SF8:37. It is under [display period / of the odd number field] setting. The luminescence period in the maintenance luminescence stroke Ic for every subfield SF 1-8 As shown in drive mode (B), it is set as

SF1:1SF2:6SF3:16SF4:24SF5:35SF6:46SF7:57SF8:70.

[0031] Under the present circumstances, the luminescence period ratio in subfield SF 1 - SF8 each is non-linearity (namely, a reverse gamma ratio, $Y=X^2$ and 2), and he is trying to amend the nonlinear characteristic (gamma property) of the input pixel data PD by this. That is, in each maintenance luminescence stroke Ic, only the discharge cel set as the luminescence cel in the pixel data write-in stroke Wc performed just before that emits light for the luminescence period when it is shown in drive mode (B) during the display period of drive mode (A) and the odd number field during the

display period of the even number field.

[0032] Moreover, in the elimination stroke E shown in drawing 4, the address driver 6 generates blanking pulse AP, and impresses this to each of train electrode D1-m. Furthermore, the 2nd SASUTIN driver 8 generates blanking pulse EP in the impression timing and coincidence of this blanking pulse AP, and impresses this to the line electrode Y1 - Yn(s) of each. By coincidence impression of these blanking pulses AP and EP, elimination discharge occurs in [all / in PDP10] a discharge cel, and the wall charge which remains in all discharge cels disappears.

[0033] That is, all the discharge cels in PDP10 turn into a nonluminescent cel by activation of this elimination stroke E. Drawing 6 is drawing showing the internal configuration of the data-conversion circuit 30 shown in drawing 3. As shown in drawing 6, the data-conversion circuit 30 consists of the 2-3 period detector 13, the sequential-scanning conversion circuit 14, change-over switches 15 and 18, memory 16 and 17, the memory control circuit 19, a 1st data-conversion circuit 32, a multi-tone-ized processing circuit 33, and a 2nd data-conversion circuit 34. The 2-3 period detector 13, the sequential-scanning conversion circuit 14, change-over switches 15 and 18, memory 16 and 17, and the memory control circuit 19 are the same as that of what was shown in drawing 1.

[0034] The video signal supplied from the change-over switch 18, i.e., 8 bits (0-255) pixel data PD', is changed into the 8 bits (0-128) conversion pixel data HDp, and the 1st data-conversion circuit 32 in drawing 6 supplies it to the multi-tone-ized processing circuit 33. Drawing 7 is drawing showing the internal configuration of this 1st data-conversion circuit 32. In drawing 7, although the data-conversion circuit 321 is shown in drawing 8, it changes pixel data PD' into the 8 bits (0-128) conversion pixel data A based on the **** transfer characteristic, and it supplies this to a selector 322. Although the data-conversion circuit 323 is shown in drawing 9, it changes above-mentioned pixel data PD' into the 8 bits (0-128) conversion pixel data B based on the **** transfer characteristic, and it supplies this to a selector 322. Among these conversion pixel data A and B, from from, a selector 322 chooses alternatively the direction which responded to the logical level of a transfer characteristic selection signal, and outputs this as conversion pixel data HDp. This transfer characteristic selection signal is a signal which is supplied from the drive control circuit 2 shown in drawing 3, and changes to "1" from "0" or "0" from logical level "1" according to the vertical-synchronization timing of the input pixel data D. Here, the drive mode (A) of the transfer characteristic of drawing 8, the drive mode (B) of drawing 5 and the transfer characteristic of drawing 9, and drawing 5 serves as a pair. That is, in the field (even number field) where the drive mode (A) of drawing 5 is set up, a selector 322 chooses the conversion pixel data B, chooses the conversion pixel data A and outputs this as conversion pixel data HDp in the field (odd number field) where the drive mode (B) of drawing 5 is set up. In addition, the above-mentioned transfer characteristic is the number of bits of input pixel data. It is set up according to the compression number of bits and the number of display gradation by multi-tone-izing mentioned later. Thus, the 1st data-conversion circuit 32 is established in the preceding paragraph of the multi-tone-ized processing circuit 33 mentioned later, conversion doubled with the number of display gradation and the compression number of bits by multi-tone-izing is performed, this carves a high-order-bit group (it corresponds to multi-tone-ized pixel data), and a lower bit group (data omitted: error data) for pixel data PD' on a bit boundary, and multi-tone-ized processing is performed based on this signal. Generating (namely, generating of gradation distortion) of the flat part of the display property produced by this when there are no generating and display gradation of brightness saturation by multi-tone-ized processing in a bit boundary is prevented.

[0035] By the configuration shown in this drawing 7, switching the transfer characteristic (drawing 8, drawing 9) to every 1 field (frame), 8 bits (0-255) pixel data PD' supplied from the change-over switch 18 is changed into the 8 bits (0-128) conversion pixel data HDp, and the 1st data-conversion circuit 32 supplies it to the multi-tone-ized processing circuit 33. Drawing 10 is drawing showing the internal configuration of this multi-tone processing circuit 33.

[0036] As it is shown in drawing 10, the multi-tone-ized processing circuit 33 consists of an error diffusion-process circuit 330 and a dithering circuit 350. First, the data separation circuit 331 in the error diffusion-process circuit 330 separates a part for part the error data and 6 bits of high orders for 2 bits of low order in the 8-bit conversion pixel data HDp supplied from the above-mentioned 1st data-conversion circuit 32 as an indicative data. An adder 332 supplies the aggregate value which

added and obtained a part for 2 bits of low order in the conversion pixel data HDP as these error data, the delay output from a delay circuit 334, and the multiplication output of the multiplier multiplier 335 to a delay circuit 336. A delay circuit 336 delays only the time delay D which has the same time amount as the clock period of pixel data for the aggregate value supplied from the adder 332, and is supplied to the above-mentioned multiplier multiplier 335 and a delay circuit 337 by making this into the delay addition signal AD 1, respectively. The multiplier multiplier 335 supplies the multiplication result obtained by carrying out the multiplication of the predetermined multiplier value K1 (for example, "7/16") to the above-mentioned delay addition signal AD 1 to the above-mentioned adder 332. A delay circuit 337 is supplied to a delay circuit 338 by making into the delay addition signal AD 2 that from which only time amount delayed further (the 1 horizontal-scanning period-above-mentioned time delay Dx4) the above-mentioned delay addition signal AD 1. A delay circuit 338 is supplied to the multiplier multiplier 339 by making into the delay addition signal AD 3 that from which only the above-mentioned time delay D delayed this delay addition signal AD 2 further. Moreover, a delay circuit 338 is supplied to the multiplier multiplier 340 by making into the delay addition signal AD 4 what delayed this delay addition signal AD 2 further by the above-mentioned time amount which becomes time delay Dx2. Furthermore, a delay circuit 338 is supplied to the multiplier multiplier 341 by making into the delay addition signal AD 5 what delayed this delay addition signal AD 2 by the above-mentioned time amount which becomes time delay Dx3. The multiplier multiplier 339 supplies the multiplication result obtained by carrying out the multiplication of the predetermined multiplier value K2 (for example, "3/16") to the above-mentioned delay addition signal AD 3 to an adder 342. The multiplier multiplier 340 supplies the multiplication result obtained by carrying out the multiplication of the predetermined multiplier value K3 (for example, "5/16") to the above-mentioned delay addition signal AD 4 to an adder 342. The multiplier multiplier 341 supplies the multiplication result obtained by carrying out the multiplication of the predetermined multiplier value K4 (for example, "1/16") to the above-mentioned delay addition signal AD 5 to an adder 342. An adder 342 supplies the addition signal which added the multiplication result supplied from the above-mentioned multiplier multipliers 339 and 340 and 341 each, and was acquired to the above-mentioned delay circuit 334. This addition signal is delayed by the above-mentioned time amount time-delay D Becoming, and a delay circuit 334 supplies it to the above-mentioned adder 332. An adder 332 adds the above-mentioned error data (a part for 2 bits of low order in the conversion pixel data HDP), the delay output from a delay circuit 334, and the multiplication output of the multiplier multiplier 335, in this case, when there is no carry, it generates logical level "0", when there is carry, generates the carry out signal CO of logical level "1", and supplies it to an adder 333. An adder 333 outputs what added the above-mentioned carry out signal CO to the above-mentioned indicative data (a part for 6 bits of high orders in the conversion pixel data HDP) as 6-bit error diffusion-process pixel data ED.

[0037] Actuation of the error diffusion-process circuit 330 which becomes below from this configuration is explained. For example, although shown in drawing 11, when asking for the error diffusion-process pixel data ED corresponding to the pixel G of **** PDP10 (j, k), First, the pixel G (j, k-1) on the left of this pixel G (j, k), the diagonally left pixel G (j-1, k-1) Each error data corresponding to the pixel G right above (j-1, k) and diagonally right pixel G (j-1, k+1) of each, that is Pixel G Error data corresponding to (j, k-1) : error data: corresponding to 1 pixel [of delay addition signals AD] G (j-1, k+1) -- error data: corresponding to 3 pixel [of delay addition signals AD] G (j-1, k) -- error data: corresponding to 4 pixel [of delay addition signals AD] G (j-1, k-1) -- delay addition signal AD5 each Weighting addition is carried out with the **** predetermined multiplier values K1-K4 mentioned above. Next, let what added a part for 2 bits of low order of the conversion pixel data HDP, i.e., the error data corresponding to Pixel G (j, k), to this addition result, and added the carry out signal CO for 1 bit obtained at this time to a part for 6 bits of high orders in the conversion pixel data HDP, i.e., the indicative data corresponding to Pixel G (j, k), be the error diffusion-process pixel data ED.

[0038] The error diffusion-process circuit 330 a part for 6 bits of high orders in the conversion pixel data HDP by this configuration An indicative data, He regards a part for the 2 bits of the remaining low order as error data, and is trying to make what carried out weighting addition of the error data in the circumference pixels {G (j, k-1), G (j-1, k+1), G (j-1, k), G (j-1, k-1)} in each reflect in the

above-mentioned indicative data. By this actuation, the brightness for 2 bits of low order in a original pixel $\{G(j, k)\}$ is expressed by the above-mentioned circumference pixel in false, and, so, a brightness gradation expression equivalent to the pixel data for above-mentioned 8 bits is attained with the number of bits smaller than 8 bits, i.e., the indicative data for 6 bits.

[0039] In addition, if the multiplier value of this error diffusion is uniformly added to each pixel, the noise by the error diffusion pattern may be checked visually, and will spoil image quality. Then, you may make it change the multipliers K1-K4 of the error diffusion which should be assigned to four pixels of each like the case of the dither multiplier mentioned later for every field. By performing dithering to the error diffusion-process pixel data ED supplied from this error diffusion-process circuit 330, although the dithering circuit 350 maintains brightness gradation level equivalent to the 6-bit error diffusion-process pixel data ED, it generates the multi-tone-ized processing pixel data DS which reduced the number of bits to 4 more bits. In addition, in this dithering, two or more adjoining pixels express one middle display level. For example, when performing the gradation display of 8 bits using pixel data of 6 bits of high orders of the 8-bit pixel data, right and left and four pixels which adjoin mutually up and down are made into 1 set, and four dither multiplier a-d which consists of mutually different multiplier values is assigned to the pixel data of each corresponding to 1 set of each of these pixels, respectively, and is added to them. According to this dithering, the combination of four different middle display level will occur in 4 pixels. Therefore, even if the number of bits of metaphor pixel data is 6 bits, 4 times of the brightness gradation level which can be expressed, i.e., the halftone display of 8 bits, become possible.

[0040] However, if the dither pattern which becomes dither multiplier a-d is uniformly added to each pixel, the noise by this dither pattern may be checked visually, and will spoil image quality. Then, he is trying to change above-mentioned dither multiplier a-d which should be assigned to four pixels of each for every field in the dithering circuit 350.

[0041] Drawing 12 is drawing showing the internal configuration of this dithering circuit 350. In drawing 12, the dither multiplier generating circuit 352 generates four dither multipliers a, b, c, and d every four pixels which adjoins mutually, and supplies these to an adder 351 one by one. for example, the pixel G corresponding to [as shown in drawing 13] the j-th line (j, k) and Pixel G (j, k+1), the pixel G (j+1, k) corresponding to a ** (j+1) line, and pixel G (j+1, k+1) -- four dither multipliers a, b, c, and d corresponding to four pixels of each are generated. Under the present circumstances, for every field, it changes and the dither multiplier generating circuit 352 goes, as above-mentioned dither multiplier a-d which should be assigned to these four pixels of each is shown in drawing 13.

[0042] Namely, it sets in the first field [1st]. Pixel G (j, k) : dither multiplier a pixelG (j, k+1) : dither multiplier b pixelG (j+1, k) : dither multiplier c pixelG (j+1, k+1) : In the 2nd field of the d-th dither multiplier Pixel G (j, k) : dither multiplier b pixelG (j, k+1) : dither multiplier a pixelG (j+1, k) : dither multiplier d pixelG (j+1, k+1) : In the 3rd field of the c-th dither multiplier pixel G (j, k) : dither multiplier d pixelG (j, k+1) : dither multiplier c pixelG (j+1, k) : -- the dither multiplier [of b pixels] G(j+1, k+1):dither multiplier a -- and It sets in the 4th field and is Pixel G (j, k). : dither multiplier c pixelG (j, k+1) : dither multiplier d pixelG (j+1, k) : dither multiplier a pixelG (j+1, k+1) : In the assignment like the dither multiplier b, circulate through dither multiplier a-d and it generates repeatedly. This is supplied to an adder 351. The dither multiplier generating circuit 352 repeats and performs actuation of the 1st field of **** mentioned above - the 4th field. That is, if dither multiplier generating actuation in this 4th field is completed, again, it will return to actuation of the 1st field of the above, and the actuation mentioned above will be repeated. The above-mentioned pixel G to which an adder 351 is supplied from the above-mentioned error diffusion-process circuit 330 (j, k) To error diffusion-process pixel data ED of each corresponding to Pixel G (j, k+1), Pixel G (j+1, k), and pixel G (j+1, k+1) of each Like ****, dither multiplier a-d assigned for every field is added, respectively, and the dither addition pixel data obtained at this time are supplied to the high-order-bit extract circuit 353.

[0043] For example, it sets in the 1st field shown in drawing 13. The error diffusion-process pixel data ED+ dither multiplier a corresponding to Pixel G (j, k) The error diffusion-process pixel data ED+ dither multiplier b corresponding to Pixel G (j, k+1) By using each of the error diffusion-process pixel data ED+ dither multiplier c corresponding to Pixel G (j+1, k), and the error diffusion-

process pixel data ED+ dither multiplier d corresponding to Pixel G (j+1, k+1) as dither addition pixel data, sequential supply is carried out and it goes to the high-order-bit extract circuit 353. The high-order-bit extract circuit 353 extracts even a part for 4 bits of high orders of these dither addition pixel data, and outputs this as multi-tone-ized pixel data DS.

[0044] Thus, by changing above-mentioned dither multiplier a-d which should be made to correspond to four pixels of each and should be assigned for every field, and going, although the dithering circuit 350 shown in drawing 12 reduces the visual noise by the dither pattern, it asks for the 4 bits (0-7) multi-tone-ized pixel data DS multi-tone-ized visually, and it supplies this to the 2nd data-conversion circuit 34.

[0045] the 1- corresponding to [although the 2nd data-conversion circuit 34 was shown in drawing 14 in these multi-tone-ized pixel data DS] subfield [of drawing 5] SF 1 - SF8 each according to the **** translation table -- it changes into the conversion pixel data (display pixel data) HD which consist of the 8th bit. in addition, the 1- [in / on drawing 14 and / the conversion pixel data HD] -- the logical level of the 8th bit -- it is shown that the bit of "1" makes selection elimination discharge carry out in the pixel data write-in stroke Wc in the subfield SF corresponding to the bit (a black dot shows).

[0046] These conversion pixel data HD are supplied to the address driver 6 through memory 4, as shown in drawing 3 . Under the present circumstances, although the gestalt of the conversion pixel data HD is shown in drawing 14 , it becomes any one of **** 9 patterns. The address driver 6 assigns the 1st in the above-mentioned conversion pixel data HD - the 8th bit of each to one to subfield SF8 each, when the bit logic is logical level "1", it is restricted, it generates the pixel data pulse of the high voltage in the pixel data write-in stroke Wc in the corresponding subfield, and impresses this to the train electrode D of PDP10. Thereby, the above-mentioned selection elimination discharge occurs. Therefore, each discharge cel turns into a luminescence cel, and although shown in drawing 5 , it emits light in a **** luminescence period ratio in the maintenance luminescence stroke Ic in the continuous subfields in each which exist between them, until it succeeds in the above-mentioned selection elimination discharge in the subfield shown in the black dot of drawing 14 .

[0047] Thereby, as shown in the luminescence brightness (A) of drawing 14 during an even number field (frame) display period, it succeeds in the luminescence drive of 9 gradation {0:3:14:34:64:104:15 5:218:255} Becoming, and as shown in the luminescence brightness (B) of drawing 14 during an odd number field (frame) display period, it succeeds in the luminescence drive of 9 gradation {0:1:7:23:47:82:128: 185:255} Becoming.

[0048] Drawing 15 (a) - (j) shows the coma A, B, C, and D of the film in the display of this drawing 3 , and the display action to Drawing 15 (a) - (g) is the same as that of what was shown in drawing 2 (a) - (g). That is, the coma A, B, C, and D of the film shown in drawing 15 (a) and the video signal of interlaced scanning by which 2-3 telecine conversion was carried out to become the **** field trains A1, A2, and B1 shown in drawing 15 (b), ..D1, D2, and .. The video signals VA, VB, VC, and VD of line sequential scanning which shows this field train to drawing 15 (c) by the sequential-scanning conversion circuit 14, and are obtained. video signals VA, VB, VC, and VD and after each is thinned out one by one, as shown in drawing 15 (d) and (e), it is written in memory 16 and 17 by turns. The video signals VA, VB, VC, and VD and which were thinned out and written in memory 16 and 17 are read by control of the memory control circuit 19. As memory 16 and 17 each show this read-out to drawing 15 (f) by a repeat line crack and read-out from memory 16 twice by 48Hz, video signals VA, VA, VC, and VC and are obtained, and in read-out from memory 17, as shown in drawing 15 (g), video signals VB, VB, VD, and VD and .. are obtained.

[0049] As shown in drawing 15 (h), the video signals outputted from a change-over switch 18, i.e., pixel data PD', are VA, VA, VB, VB, VC, VC, VD, VD, and the -- one -- data conversion -- a circuit -- 32 -- **** -- drawing 8 -- the transfer characteristic -- depending -- a drive -- the mode -- (- A --) -- setting up -- having -- the field (even number field) -- VA -- ' -- VB -- ' -- VD -- ' -- VD -- ' drawing 9 -- the transfer characteristic -- depending -- a drive -- the mode -- (- B --) -- setting up -- having -- the field (odd number field) -- VA -- " -- VB -- " -- VC -- " -- VD -- " .. alternation -- becoming -- drawing 15 -- (-- i --) -- be shown -- as -- conversion -- a pixel -- data -- HDP -- *****

-- outputting -- having .

[0050] Therefore, as the display in PDP10 is shown in drawing 15 (j), the 1st shot photic-driving sequence by the drive mode for $1 / 48$ seconds (A) and the 2nd shot photic-driving sequence by the drive mode for $1 / 48$ seconds (B) are performed by turns for every field, and the display from which it becomes one screen in $1 / 24$ seconds like the coma of the motion-picture film of drawing 15 (a) is performed. In addition, in this example, although two different luminescence drive sequences are set up by twice as many frame rate playback as this, it is also possible to set up n different luminescence drive sequences (for example, three pieces) by n times (for example, 3 times) as many frame rate playback as this.

[0051]

[Effect of the Invention] Since the display which will be one screen in $1 / 24$ seconds like the coma of a motion-picture film is performed like the above according to this invention, improvement of display quality to a telecine resolution picture can be aimed at.

[Translation done.]

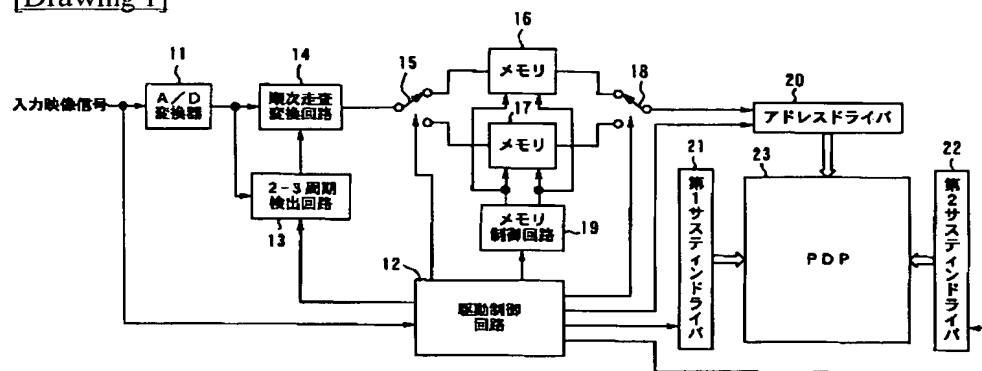
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

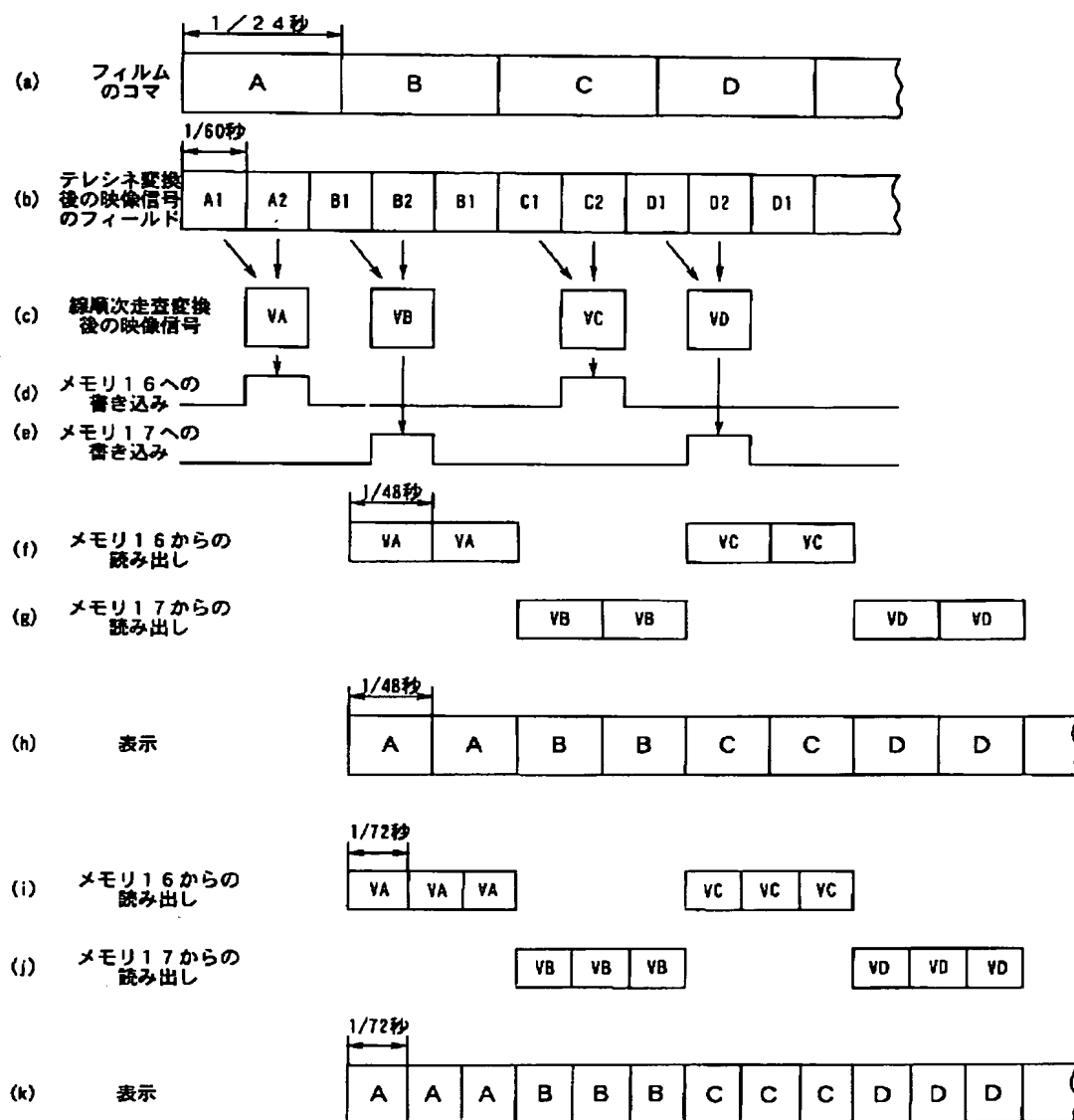
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

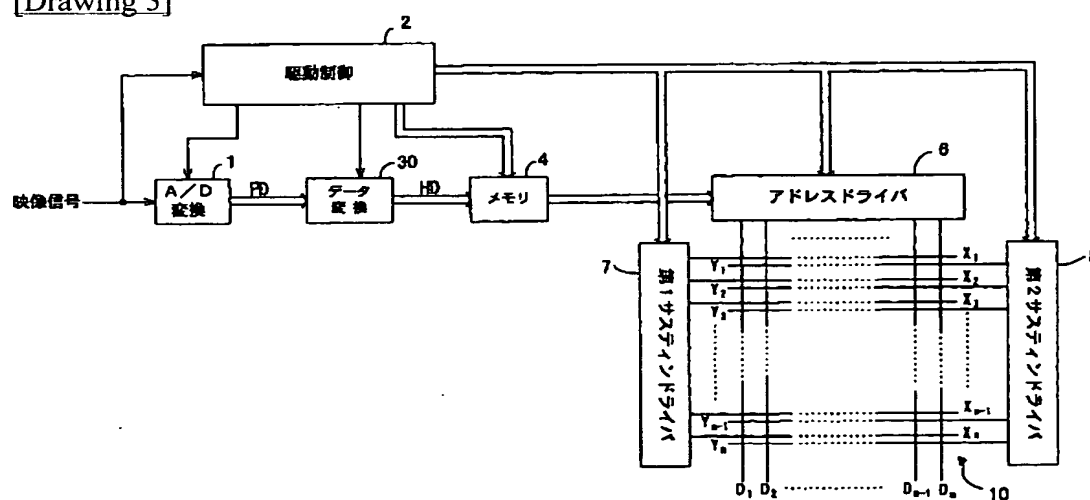
[Drawing 1]



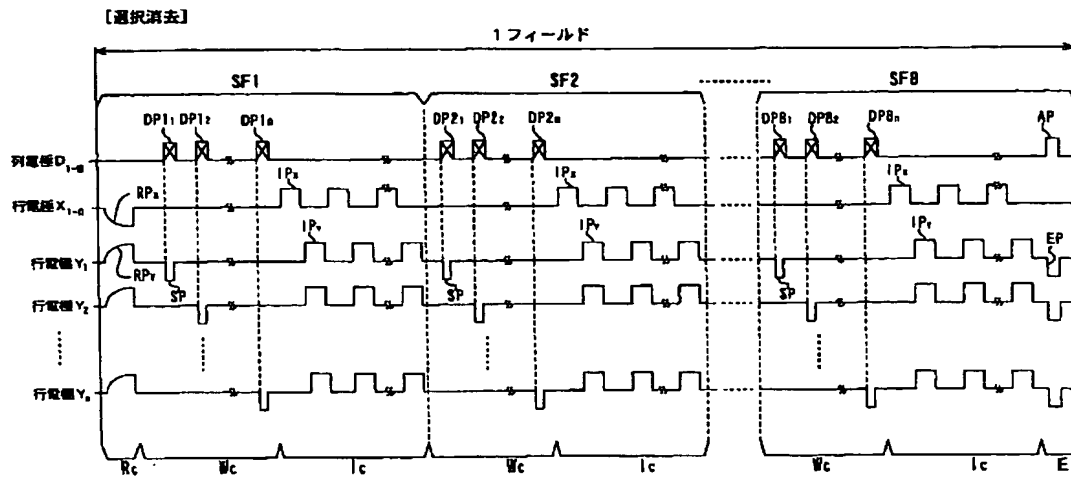
[Drawing 2]



[Drawing 3]

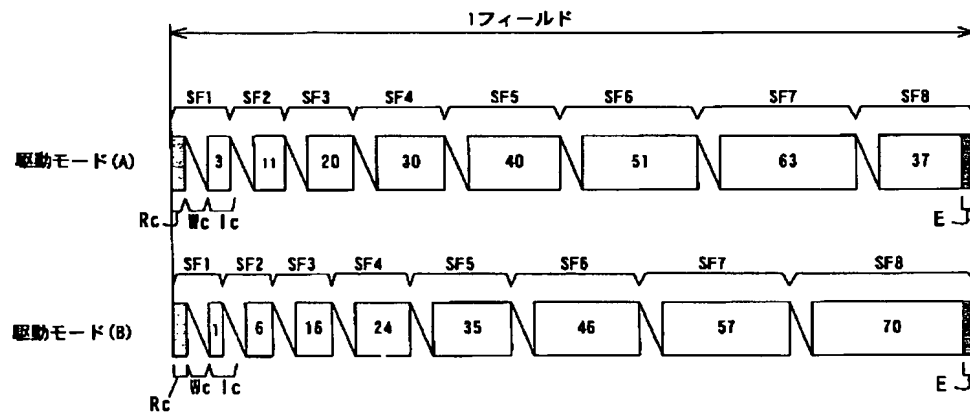


[Drawing 4]

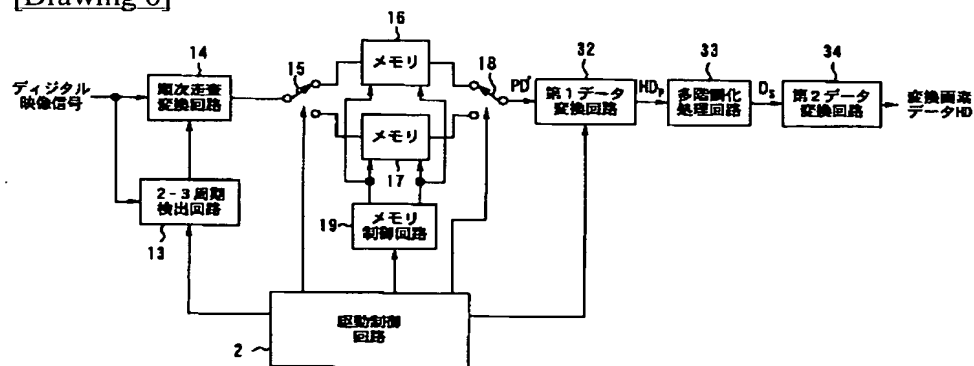


[Drawing 5]

【選択消去】

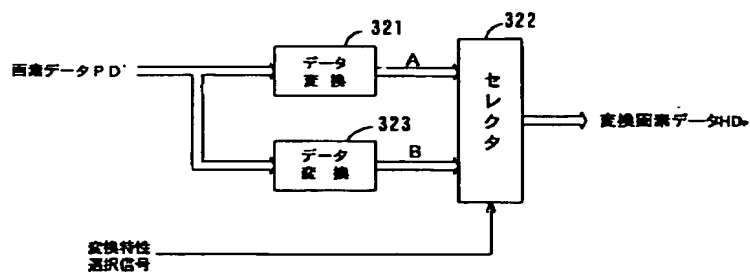


[Drawing 6]

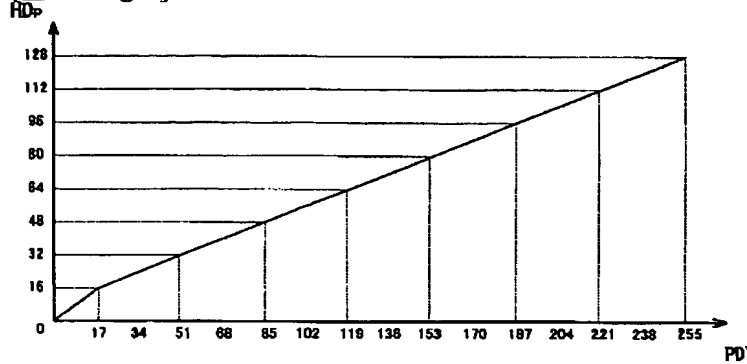


[Drawing 7]

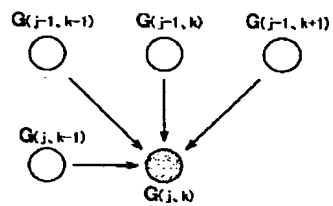
32



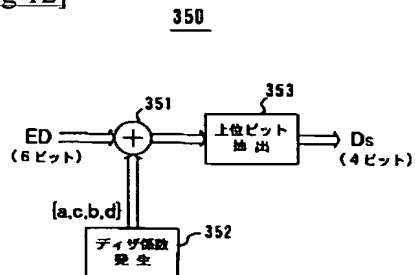
[Drawing 8]



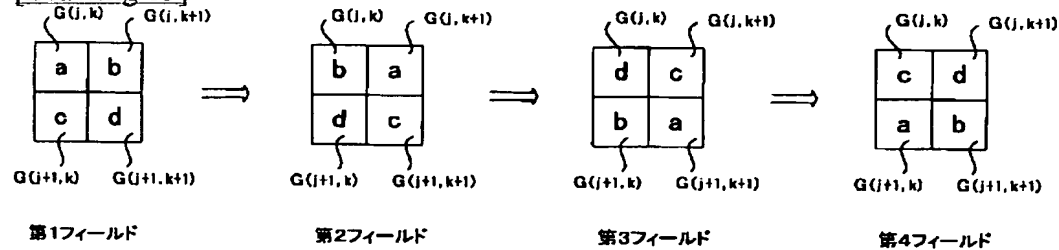
[Drawing 11]



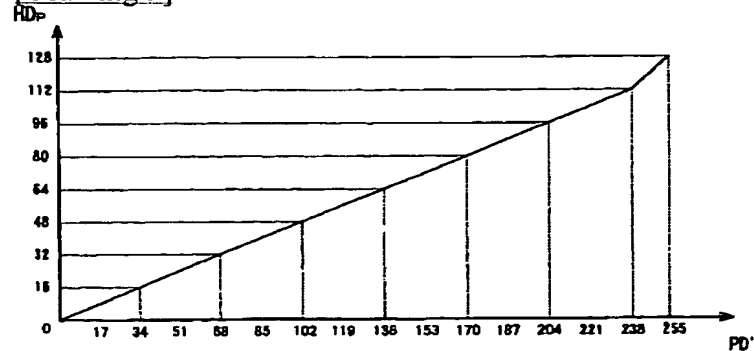
[Drawing 12]



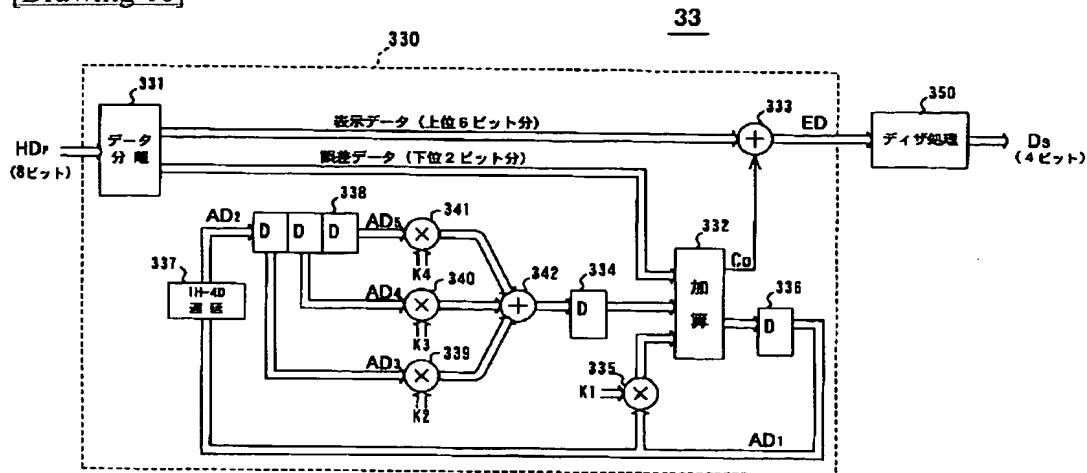
[Drawing 13]



[Drawing 9]



[Drawing 10]



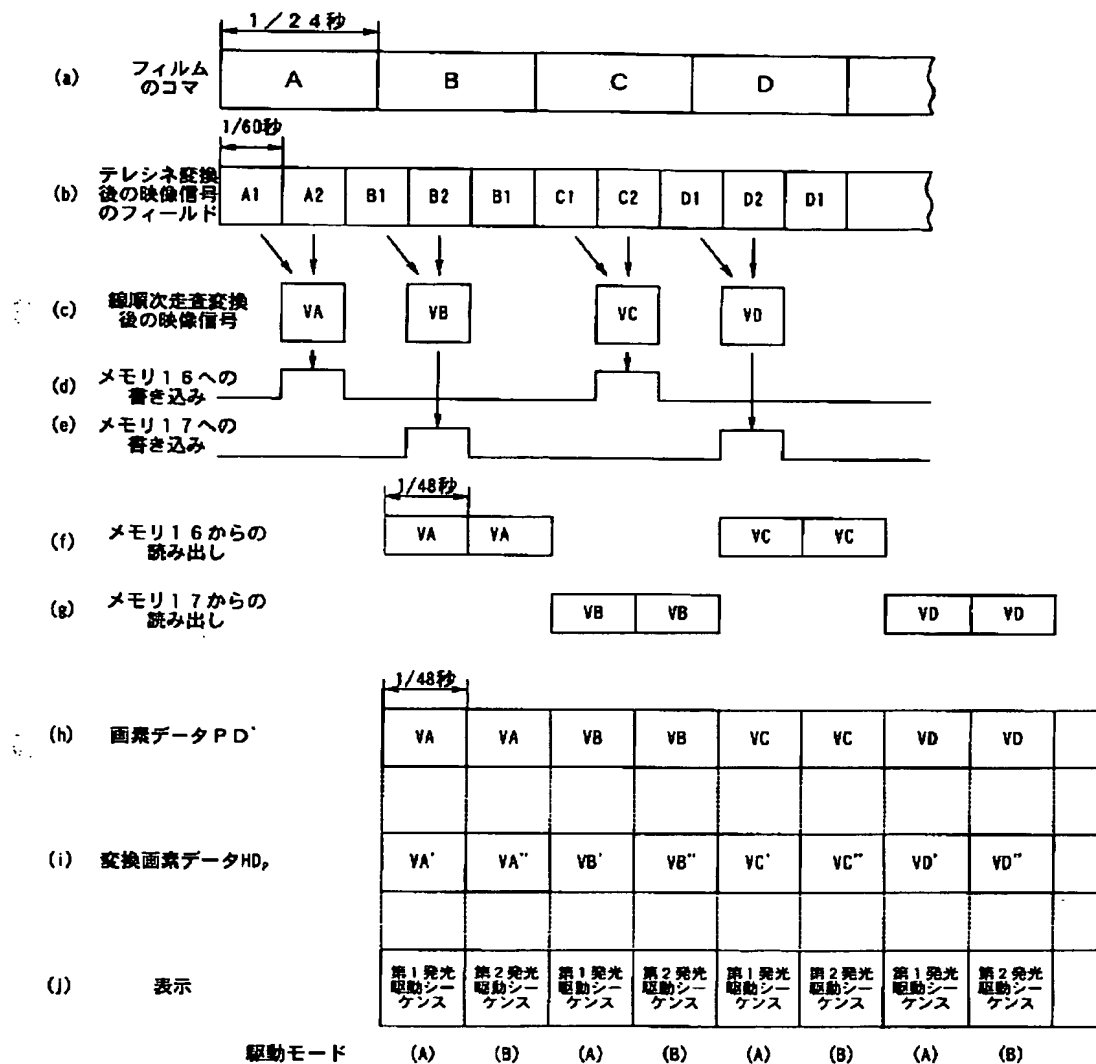
[Drawing 14]

[選択消去]

階調	Ds	HD								発光駆動パターン								発光強度	
		1	2	3	4	5	6	7	8	Sf	S	S	S	S	S	S	S	(A)	(B)
1	0000	1	0	0	0	0	0	0	0	●								0	0
2	0001	0	1	0	0	0	0	0	0	○	●							3	1
3	0010	0	0	1	0	0	0	0	0	○	○	●						14	7
4	0011	0	0	0	1	0	0	0	0	○	○	○	●					34	23
5	0100	0	0	0	0	1	0	0	0	○	○	○	○	●				64	47
6	0101	0	0	0	0	0	1	0	0	○	○	○	○	○	●			104	82
7	0110	0	0	0	0	0	0	1	0	○	○	○	○	○	○	●		155	128
8	0111	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	●	218	185
9	1000	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	255	255

黒丸: 選択消去放電
白丸: 発光

[Drawing 15]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-346131

(P2001-346131A)

(43) 公開日 平成13年12月14日 (2001. 12. 14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 N 5/66	1 0 1	H 0 4 N 5/66	1 0 1 B 2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 5 0	G 0 9 G 3/20	6 5 0 E 5 C 0 5 8
			5 C 0 6 3
		H 0 4 N 7/01	G 5 C 0 8 0

審査請求 未請求 請求項の数 3 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2000-168068 (P2000-168068)

(22) 出願日 平成12年6月5日 (2000. 6. 5)

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 長久保 哲朗

山梨県中巨摩郡田富町西花輪2680番地 バ
イオニア株式会社内

(72) 発明者 重田 哲也

山梨県中巨摩郡田富町西花輪2680番地 バ
イオニア株式会社内

(74) 代理人 100079119

弁理士 藤村 元彦

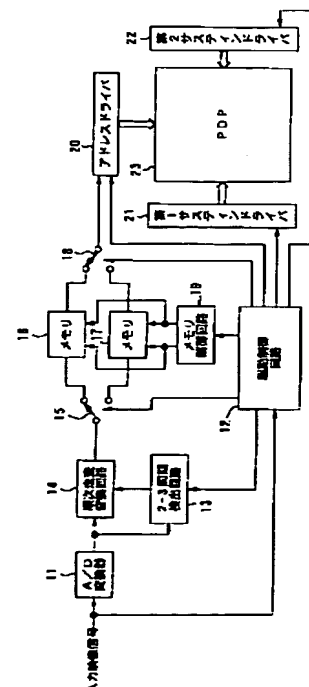
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 テレシネ変換画像に対する表示品質の向上を図った表示装置を提供する。

【解決手段】 入力された飛び越し走査の映像信号が1秒当たり24コマのフィルムソースをテレシネ変換して得られたフィールド単位のテレシネ変換映像信号であるか否かを検出し、テレシネ変換映像信号であると判別された場合には、同一フィルムフレームのフィールドを用いたフィールド間補間処理により入力された飛び越し走査の映像信号を線順次走査の映像信号に変換し、その変換後の線順次走査の映像信号を間引いてフィールド単位でメモリに書き込み、メモリに書き込んだ線順次走査の映像信号を24Hzのn倍 (nは2以上の整数) のレートでメモリからn回繰り返して読み出し、メモリから読み出した線順次走査の映像信号で表示パネルを駆動する。



(2)

1

【特許請求の範囲】

【請求項1】 入力された飛び越し走査の映像信号が1秒当たり24コマのフィルムソースをテレシネ変換して得られたフィールド単位のテレシネ変換映像信号であるか否かを検出する検出手段と、

前記検出手段によって前記入力された飛び越し走査の映像信号がテレシネ変換映像信号であると判別された場合に、同一フィルムフレームのフィールドを用いたフィールド間補間処理により前記入力された飛び越し走査の映像信号を線順次走査の映像信号に変換する線順次走査変換手段と、

メモリと、

前記線順次走査変換手段による変換後の線順次走査の映像信号を間引いてフィールド単位で前記メモリに書き込み、前記メモリに書き込んだ線順次走査の映像信号を24Hzのn倍（nは2以上の整数）のレートで前記メモリからn回繰り返して読み出すメモリ制御手段と、前記メモリから読み出された線順次走査の映像信号で表示パネルを駆動する表示パネル駆動手段と、を備えたことを特徴とする表示装置。

【請求項2】 前記表示パネル駆動手段は、1フィールドの表示期間を複数のサブフィールドに分割し前記サブフィールドの各々において、画素セルを前記メモリから読み出された線順次走査の映像信号に応じて発光セル又は非発光セルの一方の状態に設定し、前記発光セルのみを前記複数のサブフィールド各々の重み付けに対応した回数だけ発光させる発光駆動シーケンスを設定し、前記n回繰り返して読み出された1フィールド分の線順次走査の映像信号に対する前記発光駆動シーケンス各々は、前記複数のサブフィールド各々における前記発光回数の比が互いに異なるn回の発光駆動シーケンスからなることを特徴とする請求項1記載の表示装置。

【請求項3】 前記表示パネルは、プラズマディスプレイパネルであることを特徴とする請求項1記載の表示装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、入力映像信号が映画フィルムから2-3プルダウン方式等の変換方式により生成されたテレシネ変換映像信号を高画質で表示可能にしたプラズマディスプレイパネル（PDP）、無機又は有機エレクトロルミネセンス（EL）パネル、液晶パネル等のマトリックス方式の表示装置に関する。

【0002】

【従来の技術】 NTSC方式等の標準テレビジョン方式の映像信号の中には、映画フィルムによる映像信号が含まれることが多々ある。映画フィルムは、毎秒24コマ（フレーム）からなり、一方、標準テレビジョン方式の映像信号は毎秒30フレームからなり、1フレームが2フィールドで構成される飛び越し走査の映像信号であ

2

る。毎秒のフレーム数が異なるので、映画フィルムの各フレームを2-3プルダウン方式によりテレシネ変換して標準テレビジョン方式の映像信号を得ることが通常行われる。

【0003】 2-3プルダウン方式では、映画フィルムの第1コマから映像信号の第1フレームの第1及び第2フィールド、第2コマから映像信号の第2フレームの第1及び第2フィールド並びに第3フレームの第1フィールド、第3コマから映像信号の第3フレームの第2フィールド及び第4フレームの第1フィールドが作成される。以降のコマについて同様の変換によって連続したフィルムの各コマから、2フィールド分、3フィールド分、2フィールド分、3フィールド分、……のように映像信号を作成することが行われる。

【0004】 このようにして映画フィルムの2フレームが標準テレビジョン方式の映像信号の5フレームに対応し、映画フィルムのコマに対応して2フィールドの映像信号と3フィールドの映像信号とが交互に繰り返す映像信号に変換される。

【0005】

【発明が解決しようとする課題】 ところで、このようにテレシネ変換された飛び越し走査の映像信号による映像をPDP等の表示装置で表示させる場合には、映像信号の連続するフレーム中の例えば、上述の第3フレームは映画フィルムの第2コマ及び第3コマの画像の組み合わせたものであるので、元の映画フィルムに比べて画質が劣るという問題点があった。

【0006】 そこで、本発明の目的は、テレシネ変換画像に対する表示品質の向上を図った表示装置を提供することである。

【0007】

【課題を解決するための手段】 本発明の表示装置は、入力された飛び越し走査の映像信号が1秒当たり24コマのフィルムソースをテレシネ変換して得られたフィールド単位のテレシネ変換映像信号であるか否かを検出する検出手段と、検出手段によって入力された飛び越し走査の映像信号がテレシネ変換映像信号であると判別された場合に、同一フィルムフレームのフィールドを用いたフィールド間補間処理により入力された飛び越し走査の映像信号を線順次走査の映像信号に変換する線順次走査変換手段と、メモリと、線順次走査変換手段による変換後の線順次走査の映像信号を間引いてフィールド単位でメモリに書き込み、メモリに書き込んだ線順次走査の映像信号を24Hzのn倍（nは2以上の整数）のレートでメモリからn回繰り返して読み出すメモリ制御手段と、メモリから読み出された線順次走査の映像信号で表示パネルを駆動する表示パネル駆動手段と、を備えたことを特徴としている。

【0008】

【発明の実施の形態】 以下、本発明の実施例を図面を参

50

(3)

3

照しつつ詳細に説明する。図1は本発明による表示装置を示している。この表示装置においては、NTSC形式の入力映像信号がA/D変換器11及び駆動制御回路12に供給される。A/D変換器11は駆動制御回路12から供給されるクロック信号に応じて、アナログの入力映像信号をサンプリングしてこれを1画素毎に例えば8ビットの画素データ(入力画素データ)に変換する。A/D変換器11の出力には2-3周期検出回路13及び順次走査変換回路14が接続されている。

【0009】2-3周期検出回路13はA/D変換器11から供給された映像信号が1コマ当たり2フィールド分の信号部分と3フィールド分の信号部分とのいずれであるかを判定する。例えば、映像信号の連続するフレーム間の画素毎の差分の絶対値を1フィールド期間積算し、その積算値を所定の閾値と比較する。積算値が所定の閾値以上のとき動画フィールドと判定し、積算値が所定の閾値より小のとき静止画フィールドと判定する。動画フィールドとは連続するフレーム間でフィールド画像が異なる場合であり、静止画フィールドとは連続するフレーム間でフィールドが一致する場合である。2-3ブルダウン方式でテレビネ変換された映像信号の場合には静止画フィールドが5フィールド毎に発生するので、静止画フィールドが検出された場合にはそのフィールドが3フィールド分の信号部分の最後フィールドとなる。2-3周期検出回路13による検出信号は順次走査変換回路14に供給される。

【0010】順次走査変換回路14は2-3周期検出回路13の検出信号に応じて映像信号を線順次走査の映像信号に変換する。2フィールド分の信号部分ではその2フィールド分の映像信号を一旦各々保存して交互に出力する。3フィールド分の信号部分では最初の2フィールド分の映像信号を一旦各々保存して交互に出力する。すなわち、2-3周期検出回路13において静止画フィールドが検出された場合にはその静止画フィールドは無視される。

【0011】順次走査変換回路14の出力には切換スイッチ15が接続されている。切換スイッチ15は順次走査変換回路14の出力信号を介してメモリ16、17のいずれか一方に供給する。切換スイッチ15はメモリ16、17の書き込み入力に接続されているが、メモリ16、17の読み出し出力には切換スイッチ18が接続されている。切換スイッチ18はメモリ16、17のいずれか一方から読み出された映像信号を中継出力する。メモリ16、17各々は所定の容量を有し、その書き込み及び読み出しはメモリ制御回路19によって制御される。

【0012】アドレスドライバ20は、駆動制御回路12から供給されたタイミング信号に応じて、メモリ16、17から読み出された映像信号の1行分の変換画素データビット各々の論理レベルに対応した電圧を有する

4

m個の画素データパルスが発生し、これらをPDP23の列電極 $D_1 \sim D_m$ に夫々印加する。PDP23は、アドレス電極としての上記列電極 $D_1 \sim D_m$ と、これら列電極と直交して配列されている行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。PDP23では、これら行電極 X 及び行電極 Y の一对にて1行分に対応した行電極を形成している。すなわち、PDP23における第1行目の行電極対は行電極 X_1 及び Y_1 であり、第n行目の行電極対は行電極 X_n 及び Y_n である。上記行電極対及び列電極は放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造となっている。

【0013】第1サステンドライバ21及び第2サステンドライバ22各々は、駆動制御回路12から供給されたタイミング信号に応じて駆動パルスが発生し、これらをPDP23の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する。駆動制御回路12は、上記入力映像信号中の水平及び垂直同期信号に同期して、A/D変換器11に対するクロック信号、スイッチ15、18各々の切換信号及びメモリ制御回路19によるメモリ16、17に対する書込及び読出のためのタイミング信号を発生する。更に、駆動制御回路12は、かかる水平及び垂直同期信号に同期して、アドレスドライバ20、第1サステンドライバ21及び第2サステンドライバ22各々を駆動制御すべき各種タイミング信号を発生する。

【0014】かかる構成の表示装置においては、入力映像信号が2-3ブルダウン方式でテレビネ変換された映像信号であるとする、その映像信号は図2(a)に示すフィルムのコマA、B、C、D、……に対して図2(b)に示す如きフィールド列となる。すなわち、コマAに対しては第1フレームの第1フィールドA1及び第2フィールドA2となり、コマBに対しては第2フレームの第1フィールドB1及び第2フィールドB2並びに第3フレームの第1フィールドB1となる。コマCに対しては第3フレームの第2フィールドC1及び第4フレームの第1フィールドC2となり、コマDに対しては第4フレームの第2フィールドD1並びに第5フレームの第1フィールドD2及び第2フィールドD1となる。各コマの長さは1/24秒に対して各フィールドの長さは1/60秒である。

【0015】順次走査変換回路14はテレビネ変換された映像信号を線順次走査の映像信号に変換するので、図2(b)の第1フレームの第1フィールドA1及び第2フィールドA2からライン毎に信号を交互に得て図2(c)に示すように1画面分の映像信号VAを生成する。同様に、第2フレームの第1フィールドB1及び第2フィールドB2からライン毎に信号を交互に得て1画面分の映像信号VBを生成する。第3フレームの第2フィールドC1及び第4フレームの第1フィールドC2からライン毎に信号を交互に得て1画面分の映像信号VCを生成す

(4)

5

る。第4フレームの第2フィールドD1並びに第5フレームの第1フィールドD2からライン毎に信号を交互に得て1画面分の映像信号VDを生成する。この映像信号VA, VB, VC, VD各々の長さは1/30秒である。

【0016】メモリ制御回路19は順次走査変換回路14の出力映像信号をメモリ16とメモリ17とに切換スイッチ15を介して交互に書き込ませる。また、この書き込みは映像信号を間引いて24Hzで書き込まれる。図2(d)に示すようにメモリ16に映像信号VAが間引き書き込まれるとすると、次に、図2(e)に示すようにメモリ17には映像信号VBが間引き書き込まれる。そして、メモリ16に映像信号VCが間引き書き込まれ、次に、メモリ17には映像信号VDが間引き書き込まれる。

【0017】このようにメモリ16, 17に間引き書き込まれた映像信号VA, VB, VC, VDはメモリ制御回路19の制御によって読み出される。この読み出しは48Hzでメモリ16, 17各々で2回繰り返して行われる。すなわち、図2(f)に示すようにメモリ16から映像信号VAが2回読み出され、次に図2(g)に示すようにメモリ17から映像信号VBが2回読み出される。同様に、メモリ16から映像信号VCが2回読み出され、次にメモリ17から映像信号VDが2回読み出される。

【0018】メモリ16, 17各々から読み出された映像信号(画素データ)は切換スイッチ18を介してアドレスドライバ20に順次供給される。その映像信号の1行分の画素データビット各々の論理レベルに対応した電圧を有するm個の画素データパルスが順次生成され、これらをPDP23の列電極D1~Dmに各々印加される。また、第1サスティンドライバ21及び第2サスティンドライバ12各々からの駆動パルスが発生され、PDP23の行電極X1~Xn及びY1~Ynに印加される。よって、PDP23にはメモリ16, 17各々から読み出された映像信号に応じた画像が表示される。

【0019】上記したようにメモリ16から読み出された映像信号VAに対しては、図2(h)に示すように映像信号VAによる画像が2回連続して1/48秒ずつ表示される。メモリ16又は17から映像信号VB, VC, VDに対しても各映像信号による画像が2回連続して1/48秒ずつ表示される。すなわち、図2(a)の映画フィルムのコマと同様に1/24秒で1画面となる表示が行われる。

【0020】なお、メモリ16, 17に間引き書き込まれた映像信号VA, VB, VC, VD各々の読み出しを $n \times 24 \text{ Hz}$ でn回繰り返しても良い。nは2以上の整数である。例えば、72Hzで3回繰り返して読み出しの場合には、図2(i)に示すようにメモリ16から映像信号VAが3回読み出され、次に図2(j)に示すようにメモリ17から映像信号VBが3回読み出される。同様

6

に、メモリ16から映像信号VCが3回読み出され、次にメモリ17から映像信号VDが3回読み出される。メモリ16から読み出された映像信号VAに対しては、図2(k)に示すように映像信号VAによる画像が3回連続して1/72秒ずつ表示される。メモリ16又は17から映像信号VB, VC, VDに対しても各映像信号による画像が3回連続して1/72秒ずつ表示される。すなわち、図2(a)の映画フィルムのコマと同様に1/24秒で1画面となる表示が行われる。

【0021】図3は、本発明の他の実施例としてPDPを用いた表示装置の概略構成を示す図である。図3において、A/D変換器1は、駆動制御回路2から供給されるクロック信号に応じて、アナログの入力映像信号をサンプリングしてこれを1画素毎に例えば8ビットの画素データ(入力画素データ)PDに変換し、これをデータ変換回路30に供給する。

【0022】駆動制御回路2は、上記入力映像信号中の水平及び垂直同期信号に同期して、上記A/D変換器1に対するクロック信号、及びメモリ4に対する書込・読出信号を発生する。更に、駆動制御回路2は、かかる水平及び垂直同期信号に同期して、アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々を駆動制御すべき各種タイミング信号を発生する。

【0023】データ変換回路30は、かかる8ビットの画素データPDを、8ビットの変換画素データ(表示画素データ)HDに変換し、これをメモリ4に供給する。尚、かかるデータ変換回路30の変換動作については、後述する。メモリ4は、駆動制御回路2から供給されてくる書込信号に従って上記変換画素データHDを順次書き込む。かかる書込動作により1画面(n行、m列)分の書き込みが終了すると、メモリ4は、この1画面分の変換画素データHD11~nmを、各ビット桁毎に分割して読み出し、これを1行分毎に順次アドレスドライバ6に供給する。

【0024】アドレスドライバ6は、駆動制御回路2から供給されたタイミング信号に応じて、かかるメモリ4から読み出された1行分の変換画素データビット各々の論理レベルに対応した電圧を有するm個の画素データパルスが発生し、これらをPDP10の列電極D1~Dmに夫々印加する。PDP10は、アドレス電極としての上記列電極D1~Dmと、これら列電極と直交して配列されている行電極X1~Xn及び行電極Y1~Ynを備えている。PDP23では、これら行電極X及び行電極Yの一对にて1行分に対応した行電極を形成している。すなわち、PDP10における第1行目の行電極対は行電極X1及びY1であり、第n行目の行電極対は行電極Xn及びYnである。上記行電極対及び列電極は放電空間に対して誘電体層で被覆されており、各行電極対と列電極との交点にて1画素に対応した放電セルが形成される構造と

7

なっている。

【0025】第1サスティンドライバ7及び第2サスティンドライバ8各々は、駆動制御回路2から供給されたタイミング信号に応じて、以下に説明するが如き各種駆動パルスを発生し、これらをPDP10の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する。図4は、上記アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々がPDP10の列電極 $D_1 \sim D_m$ 、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に印加する各種駆動パルスの印加タイミングを示す図である。

【0026】図4に示される例では、1フィールドの表示期間を8個のサブフィールドSF1～SF8に分割してPDP10に対する駆動を行う。各サブフィールド内では、PDP10の各放電セルに対して画素データの書き込みを行って発光セル及び非発光セルの設定を行う画素データ書込行程 W_c と、上記発光セルのみを各サブフィールドの重み付けに対応した期間(回数)だけ発光維持させる維持発光行程 I_c とを実施する。又、先頭のサブフィールドSF1のみで、PDP10の全放電セルを初期化せしめる一斉リセット行程 R_c を実行し、最後尾のサブフィールドSF8のみで、消去行程 E を実行する。

【0027】先ず、上記一斉リセット行程 R_c では、第1サスティンドライバ7及び第2サスティンドライバ8が、PDP10の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々に対して図3に示されるが如きリセットパルス R_{Px} 及び R_{Py} を同時に印加する。これらリセットパルス R_{Px} 及び R_{Py} の印加に応じて、PDP10中の全ての放電セルがリセット放電して、各放電セル内には一様に所定の壁電荷が形成される。これにより、全放電セルは上記発光セルに設定される。

【0028】次に、図4の画素データ書込行程 W_c では、アドレスドライバ6が、各行毎の画素データパルス群 $DP_{11} \sim n$ 、 $DP_{21} \sim n$ 、 $DP_{31} \sim n$ 、……、 $DP_{81} \sim n$ を図3に示されるように、順次列電極 $D_1 \sim D_m$ に印加して行く。つまり、アドレスドライバ6は、サブフィールドSF1内では、上記変換画素データ $HD_{11} \sim nm$ 各々の第1ビット目に基づいて生成した第1行～第n行各々に対応した画素データパルス群 $DP_{11} \sim n$ を、図4に示されるが如く1行分毎に順次列電極 $D_1 \sim D_m$ に印加して行く。又、サブフィールドSF2内では、上記変換画素データ $HD_{11} \sim nm$ 各々の第2ビット目に基づいて生成した画素データパルス群 $DP_{21} \sim n$ を、図4に示されるが如く1行分毎に順次列電極 $D_1 \sim D_m$ に印加して行くのである。この際、アドレスドライバ6は、変換画素データのビット論理が例えば論理レベル“1”である場合に限り高電圧の画素データパルスを発生して列電極Dに印加する。かかる各画素データパルス群DPの印加タイミングと同一タイミングにて、第2サスティンドライバ8は、図4に示されるが如き走査パルスSPを発生してこれを行電極 $Y_1 \sim Y_n$ へと順次印加して行く。ここで、上

(5)

8

記走査パルスSPが印加された“行”と、高電圧の画素データパルスが印加された“列”との交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。かかる選択消去放電により、上記一斉リセット行程 R_c にて発光セルの状態に初期化された放電セルは、非発光セルに推移する。尚、上記高電圧の画素データパルスが印加されなかった“列”に形成されている放電セルには放電が生じられず、上記一斉リセット行程 R_c にて初期化された状態、

つまり発光セルの状態を維持する。

【0029】すなわち、画素データ書込行程 W_c の実行によれば、後述する維持発光行程において発光状態が維持される発光セルと、消灯状態のままの非発光セルとが画素データに応じて択一的に設定され、いわゆる画素データの書き込みが為されるのである。又、図4に示される維持発光行程 I_c では、第1サスティンドライバ7及び第2サスティンドライバ8が、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ に対して図4に示されるように交互に維持パルス I_{Px} 及び I_{Py} を印加する。この際、上記画素データ書込行程 W_c によって壁電荷が残留したままとなっている放電セル、すなわち発光セルは、かかる維持パルス I_{Px} 及び I_{Py} が交互に印加されている期間中、放電発光を繰り返しその発光状態を維持する。その発光維持期間(回数)は、各サブフィールドの重み付けに対応して設定されている。

【0030】図5は、各サブフィールド毎の発光維持期間(回数)が記述されている発光駆動フォーマットを示す図である。なお、図5の駆動モード(A)は、例えば偶数フィールド(又は偶数フレーム)、駆動モード(B)は、奇数フィールド(又は奇数フレーム)での発光駆動時に用い

る。すなわち、偶数フィールドの表示期間中において

は、各サブフィールドSF1～8毎の維持発光行程 I_c

での発光期間は、駆動モード(A)に示されるように、

SF1 : 3

SF2 : 11

SF3 : 20

SF4 : 30

SF5 : 40

SF6 : 51

SF7 : 63

SF8 : 37

に設定されており、奇数フィールドの表示期間中において

は、各サブフィールドSF1～8毎の維持発光行程 I_c

での発光期間は、駆動モード(B)に示されるように、

SF1 : 1

SF2 : 6

SF3 : 16

SF4 : 24

SF5 : 35

SF6 : 46

50

9

SF7:57

SF8:70

に設定されている。

【0031】この際、サブフィールドSF1～SF8各々での発光期間比は、非線形（すなわち、逆ガンマ比率、 $Y=X^{2.2}$ ）であり、これにより入力画素データPDの非線形特性（ガンマ特性）を補正するようにしている。すなわち、各維持発光行程Icでは、その直前に実行された画素データ書込行程Wcにて発光セルに設定された放電セルのみが、偶数フィールドの表示期間中は駆動モード(A)、奇数フィールドの表示期間中は駆動モード(B)に示される発光期間に亘り発光するのである。

【0032】又、図4に示される消去行程Eでは、アドレスドライバ6が、消去パルスAPを発生してこれを列電極D1-mの各々に印加する。更に、第2サスティンドライバ8が、かかる消去パルスAPの印加タイミングと同時に消去パルスEPを発生してこれを行電極Y1～Yn各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セル内において消去放電が生じられ、全ての放電セル内に残存している壁電荷が消滅する。

【0033】すなわち、かかる消去行程Eの実行により、PDP10における全ての放電セルが非発光セルとなるのである。図6は、図3に示されるデータ変換回路30の内部構成を示す図である。図6に示されるように、データ変換回路30は、2-3周期検出回路13、順次走査変換回路14、切換スイッチ15、18、メモリ16、17、メモリ制御回路19、第1データ変換回路32、多階調化処理回路33及び第2データ変換回路34で構成される。2-3周期検出回路13、順次走査変換回路14、切換スイッチ15、18、メモリ16、17及びメモリ制御回路19は図1に示したものと同一である。

【0034】図6における第1データ変換回路32は、切換スイッチ18から供給された映像信号、すなわち8ビット（0～255）の画素データPD'を、8ビット（0～128）の変換画素データHDpに変換して多階調化処理回路33に供給する。図7は、かかる第1データ変換回路32の内部構成を示す図である。図7において、データ変換回路321は、画素データPD'を図8に示されるが如き変換特性に基づいて8ビット（0～128）の変換画素データAに変換してこれをセクタ322に供給する。データ変換回路323は、上記画素データPD'を図9に示されるが如き変換特性に基づいて8ビット（0～128）の変換画素データBに変換してこれをセクタ322に供給する。セクタ322は、これら変換画素データA及びBの内から、変換特性選択信号の論理レベルに応じた方を択一的に選択し、これを変換画素データHDpとして出力する。かかる変換特性選択信号は、図3に示した駆動制御回路2から供給され

(6)

10

るもので、入力画素データDの垂直同期タイミングに応じて論理レベル“1”から“0”、又は“0”から“1”へと推移する信号である。ここで、図8の変換特性と図5の駆動モード(B)、図9の変換特性と図5の駆動モード(A)は、対となっている。つまり、セクタ322は、図5の駆動モード(A)が設定されるフィールド（偶数フィールド）では、変換画素データBを選択し、図5の駆動モード(B)が設定されるフィールド（奇数フィールド）では、変換画素データAを選択し、これを変換画素データHDpとして出力するのである。尚、上記変換特性は、入力画素データのビット数、後述する多階調化による圧縮ビット数及び表示階調数に応じて設定される。このように、後述する多階調化処理回路33の前端に第1データ変換回路32を設けて、表示階調数、多階調化による圧縮ビット数に合わせた変換を施し、これにより画素データPD'を上位ビット群（多階調化画素データに対応）と下位ビット群（切り捨てられるデータ：誤差データ）をビット境界で切り分け、この信号に基づいて多階調化処理を行うようになっている。これにより、多階調化処理による輝度飽和の発生及び表示階調がビット境界にない場合に生じる表示特性の平坦部の発生（すなわち、階調歪みの発生）を防止する。

【0035】かかる図7に示される構成により、第1データ変換回路32は、切換スイッチ18から供給された8ビット（0～255）の画素データPD'を、1フィールド（フレーム）毎にその変換特性（図8、図9）を切り換えつつ8ビット（0～128）の変換画素データHDpに変換して多階調化処理回路33に供給する。図10は、かかる多階調化処理回路33の内部構成を示す図である。

【0036】図10に示されるが如く、多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。先ず、誤差拡散処理回路330におけるデータ分離回路331は、上記第1データ変換回路32から供給された8ビットの変換画素データHDp中の下位2ビット分を誤差データ、上位6ビット分を表示データとして分離する。加算器332は、かかる誤差データとしての変換画素データHDp中の下位2ビット分と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データのクロック周期と同一の時間を有する遅延時間Dだけ遅らせ、これを遅延加算信号AD1として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号AD1に所定係数値K1（例えば、“7/16”）を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号AD1を更に（1水平走査期間－上記遅延時間D×4）なる時間だけ遅延させたものを遅延加算信号AD2として遅延回路338に供

(7)

11

給する。遅延回路338は、かかる遅延加算信号AD₂を更に上記遅延時間Dだけ遅延させたものを遅延加算信号AD₃として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号AD₂を更に上記遅延時間D×2なる時間分だけ遅延させたものを遅延加算信号AD₄として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号AD₂を上記遅延時間D×3なる時間分だけ遅延させたものを遅延加算信号AD₅として係数乗算器341に供給する。係数乗算器339は、上記遅延加算信号AD₃に所定係数値K₂(例えば、“3/16”)を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号AD₄に所定係数値K₃(例えば、“5/16”)を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号AD₅に所定係数値K₄(例えば、“1/16”)を乗算して得られた乗算結果を加算器342に供給する。加算器342は、上記係数乗算器339、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供給する。遅延回路334は、かかる加算信号を上記遅延時間Dなる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記誤差データ(変換画素データHD_p中の下位2ビット分)と、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算し、この際、桁上げがない場合には論理レベル“0”、桁上げがある場合には論理レベル“1”のキャリアウト信号C₀を発生して加算器333に供給する。加算器333は、上記表示データ(変換画素データHD_p中の上位6ビット分)に、上記キャリアウト信号C₀を加算したものを6ビットの誤差拡散処理画素データEDとして出力する。

【0037】以下に、かかる構成からなる誤差拡散処理回路330の動作について説明する。例えば、図11に示されるが如きPDP10の画素G(j,k)に対応した誤差拡散処理画素データEDを求める場合、先ず、かかる画素G(j,k)の左横の画素G(j,k-1)、左斜め上の画素G(j-1,k-1)、真上の画素G(j-1,k)、及び右斜め上の画素G(j-1,k+1)各々に対応した各誤差データ、すなわち、画素G(j,k-1)に対応した誤差データ：遅延加算信号AD₁
画素G(j-1,k+1)に対応した誤差データ：遅延加算信号AD₃
画素G(j-1,k)に対応した誤差データ：遅延加算信号AD₄
画素G(j-1,k-1)に対応した誤差データ：遅延加算信号AD₅

各々を、上述した如き所定の係数値K₁~K₄をもって重み付け加算する。次に、この加算結果に、変換画素データHD_pの下位2ビット分、すなわち画素G(j,k)に対応した誤差データを加算し、この際得られた1ビット分の

12

キャリアウト信号C₀を変換画素データHD_p中の上位6ビット分、すなわち画素G(j,k)に対応した表示データに加算したものを誤差拡散処理画素データEDとする。

【0038】誤差拡散処理回路330は、かかる構成により、変換画素データHD_p中の上位6ビット分を表示データ、残りの下位2ビット分を誤差データとして捉え、周辺画素{G(j,k-1)、G(j-1,k+1)、G(j-1,k)、G(j-1,k-1)}各々での誤差データを重み付け加算したものを、上記表示データに反映させるようにしている。この動作により、原画素{G(j,k)}における下位2ビット分の輝度が上記周辺画素により擬似的に表現され、それ故に8ビットよりも少ないビット数、すなわち6ビット分の表示データにて、上記8ビット分の画素データと同等の輝度階調表現が可能になるのである。

【0039】なお、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、後述するディザ係数の場合と同様に4つの画素各々に割り当てるべき誤差拡散の係数K₁~K₄を1フィールド毎に変更するようにしても良い。ディザ処理回路350は、かかる誤差拡散処理回路330から供給された誤差拡散処理画素データEDにディザ処理を施すことにより、6ビットの誤差拡散処理画素データEDと同等な輝度階調レベルを維持しつつもビット数を更に4ビットに減らした多階調化処理画素データD_Sを生成する。尚、かかるディザ処理では、隣接する複数の画素により1つの中間表示レベルを表現するものである。例えば、8ビットの画素データの内の上位6ビットの画素データを用いて8ビット相当の階調表示を行う場合、左右、上下に互いに隣接する4つの画素を1組とし、この1組の各画素に対応した画素データ各々に、互いに異なる係数値からなる4つのディザ係数a~dを夫々割り当てて加算する。かかるディザ処理によれば、4画素で4つの異なる中間表示レベルの組み合わせが発生することになる。よって、例え画素データのビット数が6ビットであっても、表現出来る輝度階調レベルは4倍、すなわち、8ビット相当の中間調表示が可能となるのである。

【0040】しかしながら、ディザ係数a~dなるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路350においては、4つの画素各々に割り当てるべき上記ディザ係数a~dを1フィールド毎に変更するようにしている。

【0041】図12は、かかるディザ処理回路350の内部構成を示す図である。図12において、ディザ係数発生回路352は、互いに隣接する4つの画素毎に4つのディザ係数a、b、c、dを発生してこれらを順次加算器351に供給する。例えば、図13に示されるよう

(8)

13

に、第 j 行に対応した画素 $G(j, k)$ 及び画素 $G(j, k+1)$ 、第 $(j+1)$ 行に対応した画素 $G(j+1, k)$ 及び画素 $G(j+1, k+1)$ なる 4 つの画素各々に対応した 4 つのディザ係数 a 、 b 、 c 、 d を発生する。この際、ディザ係数発生回路 352 は、これら 4 つの画素各々に割り当てるべき上記ディザ係数 $a \sim d$ を図 13 に示されるように 1 フィールド毎に変更して行く。

【0042】すなわち、最初の第 1 フィールドにおいては、

画素 $G(j, k)$: ディザ係数 a

画素 $G(j, k+1)$: ディザ係数 b

画素 $G(j+1, k)$: ディザ係数 c

画素 $G(j+1, k+1)$: ディザ係数 d

次の第 2 フィールドにおいては、

画素 $G(j, k)$: ディザ係数 b

画素 $G(j, k+1)$: ディザ係数 a

画素 $G(j+1, k)$: ディザ係数 d

画素 $G(j+1, k+1)$: ディザ係数 c

次の第 3 フィールドにおいては、

画素 $G(j, k)$: ディザ係数 d

画素 $G(j, k+1)$: ディザ係数 c

画素 $G(j+1, k)$: ディザ係数 b

画素 $G(j+1, k+1)$: ディザ係数 a

そして、第 4 フィールドにおいては、

画素 $G(j, k)$: ディザ係数 c

画素 $G(j, k+1)$: ディザ係数 d

画素 $G(j+1, k)$: ディザ係数 a

画素 $G(j+1, k+1)$: ディザ係数 b

の如き割り当てにてディザ係数 $a \sim d$ を循環して繰り返し発生し、これを加算器 351 に供給する。ディザ係数発生回路 352 は、上述した如き第 1 フィールド～第 4 フィールドの動作を繰り返し実行する。すなわち、かかる第 4 フィールドでのディザ係数発生動作が終了したら、再び、上記第 1 フィールドの動作に戻って、前述した動作を繰り返すのである。加算器 351 は、上記誤差拡散処理回路 330 から供給されてくる上記画素 $G(j, k)$ 、画素 $G(j, k+1)$ 、画素 $G(j+1, k)$ 、及び画素 $G(j+1, k+1)$ 各々に対応した誤差拡散処理画素データ ED 各々に、上述の如く各フィールド毎に割り当てられたディザ係数 $a \sim d$ を夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路 353 に供給する。

【0043】例えば、図 13 に示される第 1 フィールドにおいては、画素 $G(j, k)$ に対応した誤差拡散処理画素データ ED + ディザ係数 a 、画素 $G(j, k+1)$ に対応した誤差拡散処理画素データ ED + ディザ係数 b 、画素 $G(j+1, k)$ に対応した誤差拡散処理画素データ ED + ディザ係数 c 、画素 $G(j+1, k+1)$ に対応した誤差拡散処理画素データ ED + ディザ係数 d の各々をディザ加算画素データとして上位ビット抽出回路 353 に順次供給して行くのである。上位ビット抽出回路 353 は、かかるディザ

14

加算画素データの上位 4 ビット分までを抽出し、これを多階調化画素データ D_S として出力する。

【0044】このように、図 12 に示されるディザ処理回路 350 は、4 つの画素各々に対応させて割り当てるべき上記ディザ係数 $a \sim d$ を 1 フィールド毎に変更して行くことにより、ディザパターンによる視覚的ノイズを低減させつつも視覚的に多階調化した 4 ビット (0～7) の多階調化画素データ D_S を求め、これを第 2 データ変換回路 34 に供給するのである。

10 【0045】第 2 データ変換回路 34 は、かかる多階調化画素データ D_S を図 14 に示されるが如き変換テーブルに従って図 5 のサブフィールド $SF1 \sim SF8$ 各々に対応した第 1～第 8 ビットからなる変換画素データ (表示画素データ) HD に変換する。尚、図 14 において、変換画素データ HD における第 1～第 8 ビットの内の論理レベル "1" のビットは、そのビットに対応したサブフィールド SF での画素データ書込行程 Wc において選択消去放電を実施させることを示すものである (黒丸にて示す)。

20 【0046】かかる変換画素データ HD は、図 3 に示されるように、メモリ 4 を介してアドレスドライバ 6 に供給される。この際、変換画素データ HD の形態は、図 14 に示されるが如き 9 パターンの内のいずれか 1 つとなる。アドレスドライバ 6 は、上記変換画素データ HD 中の第 1～第 8 ビット各々をサブフィールド $SF1 \sim 8$ 各々に割り当て、そのビット論理が論理レベル "1" である場合に限り、該当するサブフィールドでの画素データ書込行程 Wc において高電圧の画素データパルスが発生し、これを PDP 10 の列電極 D に印加する。これにより、上記選択消去放電が生起されるのである。よって、各放電セルは、図 14 の黒丸に示されるサブフィールドにおいて上記選択消去放電が為されるまでの間、発光セルとなり、その間に存在する連続したサブフィールド各々での維持発光行程 Ic において、図 5 に示されるが如き発光期間比にて発光を行う。

【0047】これにより、偶数フィールド (フレーム) 表示期間中は、図 14 の発光輝度 (A) に示されるように、
 {0 : 3 : 14 : 34 : 64 : 104 : 155 : 218 : 255} なる 9 階調の発光駆動が為され、奇数フィールド (フレーム) 表示期間中は、図 14 の発光輝度 (B) に示されるように、
 {0 : 1 : 7 : 23 : 47 : 82 : 128 : 185 : 255} なる 9 階調の発光駆動が為されるのである。

【0048】図 15 (a)～(j) はかかる図 3 の表示装置におけるフィルムのコマ A, B, C, D, ……に対する表示動作を示している。図 15 (a)～(g) は図 2 (a)～(g) に示したものと同一である。すなわち、図 15 (a) に示したフィルムのコマ A, B, C, D, ……に対して 2-3 テレシネ変換された飛び越し走査の映像信号は図 15 (b) に示す如きフィールド列 A1, A2, B1, ……D1, D2, ……となる。このフィールド列は順次走査変

50

(9)

15

換回路14によって図15(c)に示す線順次走査の映像信号VA, VB, VC, VD, ……が得られる。映像信号VA, VB, VC, VD, ……各々は順次間引かれた後、図15(d)及び(e)に示すようにメモリ16, 17に交互に書き込まれる。メモリ16, 17に間引き書き込まれた映像信号VA, VB, VC, VD, ……はメモリ制御回路19の制御によって読み出される。この読み出しは48Hzでメモリ16, 17各々で2回繰り返し行われ、メモリ16からの読み出しでは図15(f)に示すように映像信号VA, VA, VC, VC, ……が得られ、メモリ17からの読み出しでは図15(g)に示すように映像信号VB, VB, VD, VD, ……が得られる。

【0049】切換スイッチ18から出力される映像信号、すなわち画素データPD'は図15(h)に示すようにVA, VA, VB, VB, VC, VC, VD, VD, ……である。第1データ変換回路32では図8の変換特性による駆動モード(A)が設定されるフィールド(偶数フィールド)VA', VB', VD', VD', ……と、図9の変換特性による駆動モード(B)が設定されるフィールド(奇数フィールド)VA'', VB'', VC'', VD'', ……とが交互になって図15(i)に示すように変換画素データHDPとして出力される。

【0050】よって、PDP10における表示においては図15(j)に示すように1/48秒の駆動モード

(A)による第1発光駆動シーケンスと1/48秒の駆動モード(B)による第2発光駆動シーケンスとがフィールド毎に交互に行われ、図15(a)の映画フィルムのコマと同様に1/24秒で1画面となる表示が行われる。なお、かかる実施例においては、2倍のフレームレート再生で2つの異なる発光駆動シーケンスを設定しているが、n倍(例えば、3倍)のフレームレート再生でn個(例えば、3個)の異なる発光駆動シーケンスを設定することも可能である。

【0051】

【発明の効果】以上の如く、本発明によれば、映画フィルムのコマと同様に1/24秒で1画面となる表示が行われるので、テレシネ変換画像に対する表示品質の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明による表示装置の構成を示すブロック図である。

【図2】図1の表示装置の各部の動作を示す図である。

16

【図3】本発明の他の実施例として表示装置の構成を示すブロック図である。

【図4】PDP10に印加される各種駆動パルスの印加タイミングの一例を示す図である。

【図5】本発明の駆動方法に基づく発光駆動フォーマットを示す図である。

【図6】データ変換回路30の内部構成を示す図である。

【図7】第1データ変換回路32の内部構成を示す図である。

【図8】第1データ変換回路32における第1の変換特性を示す図である。

【図9】第1データ変換回路32における第2の変換特性を示す図である。

【図10】多階調処理回路33の内部構成を示す図である。

【図11】誤差拡散処理回路330の動作を説明する為の図である。

【図12】ディザ処理回路350の内部構成を示す図である。

【図13】ディザ処理回路350の動作を説明する為の図である。

【図14】図5に示される発光駆動フォーマットに基づいて実施される発光駆動の全パターン、及びこの発光駆動を実施する際に第2データ変換回路34で用いられる変換テーブルの一例を示す図である。

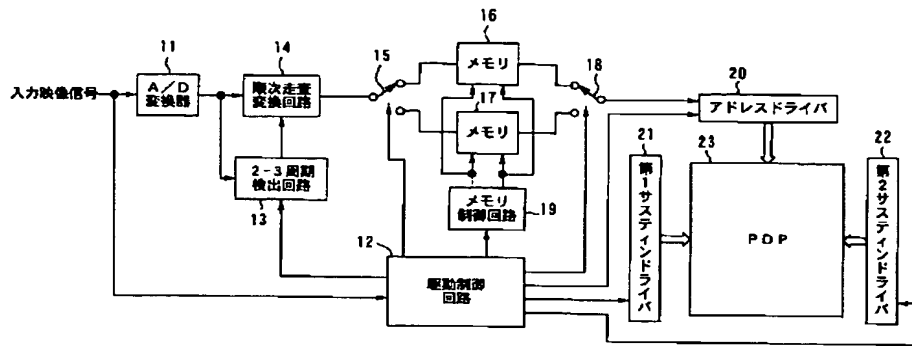
【図15】図3の表示装置の各部の動作を示す図である。

【符号の説明】

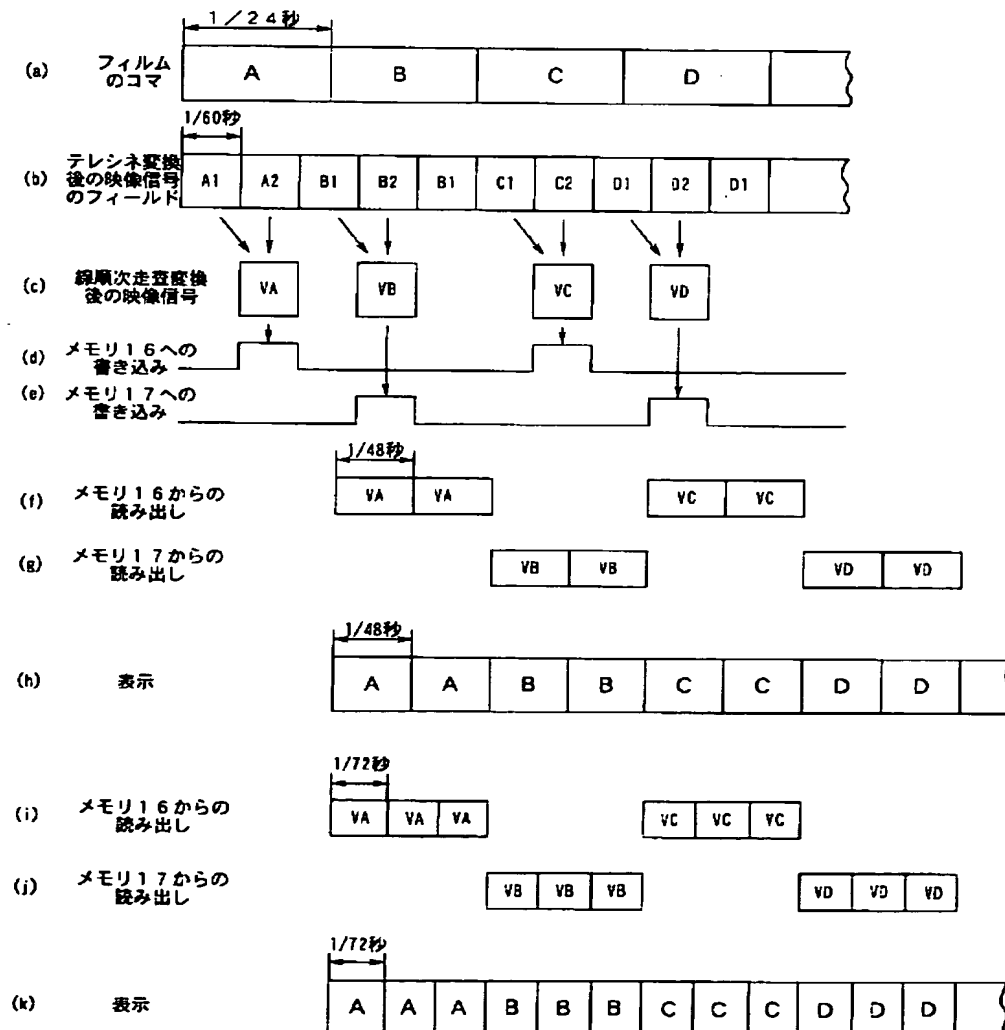
- 2, 12 駆動制御回路
- 6, 20 アドレスドライバ
- 7, 21 第1サスティンドライバ
- 8, 22 第2サスティンドライバ
- 10, 23 PDP
- 13 2-3周期検出回路
- 14 順次走査変換回路
- 30 データ変換回路
- 32 第1データ変換回路
- 33 多階調化処理回路
- 34 第2データ変換回路
- 330 誤差拡散処理回路
- 350 ディザ処理回路

(10)

【図1】

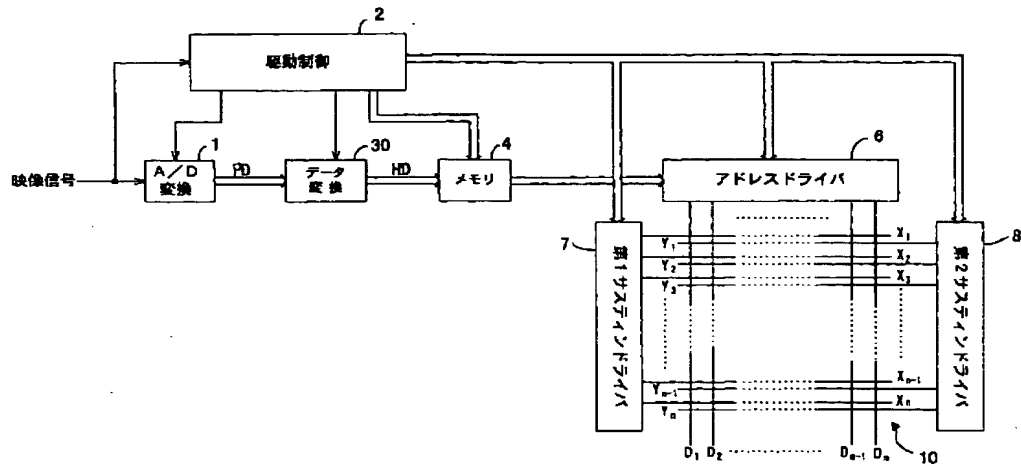


【図2】

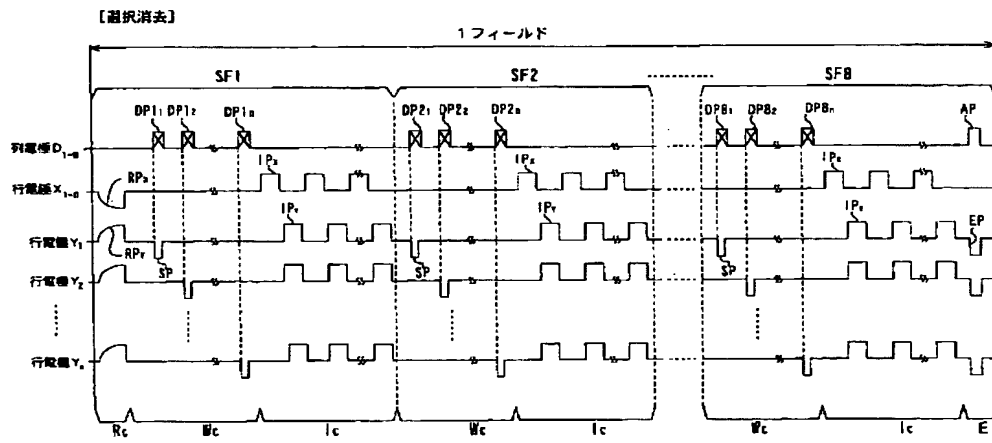


(11)

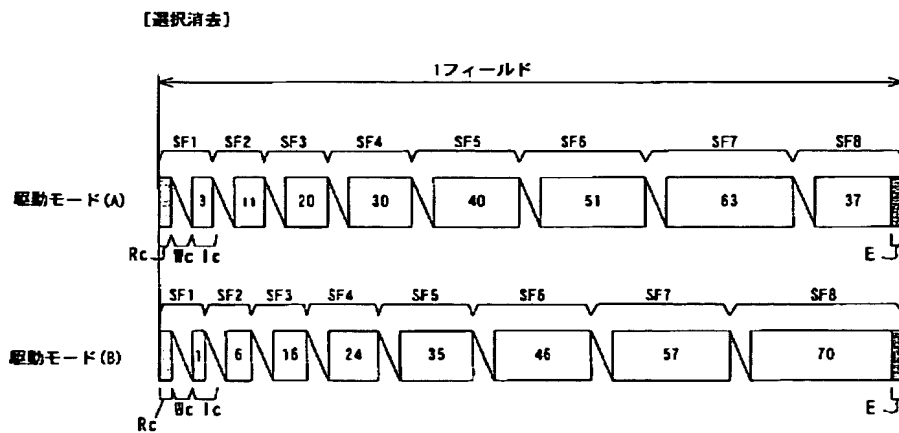
【図3】



【図4】

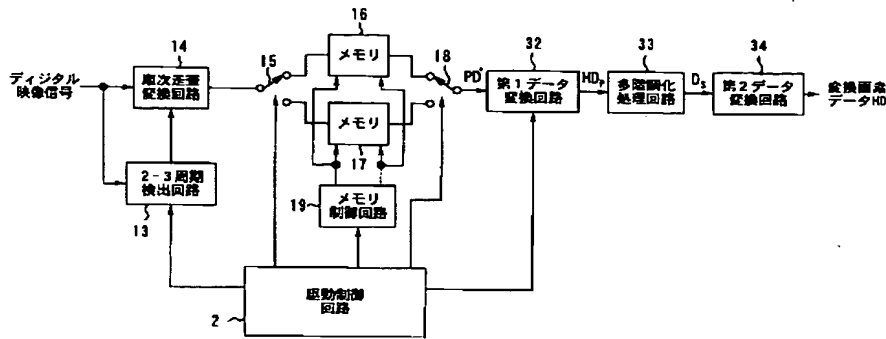


【図5】

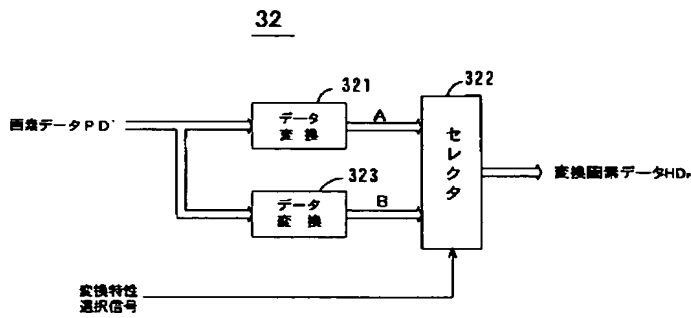


(12)

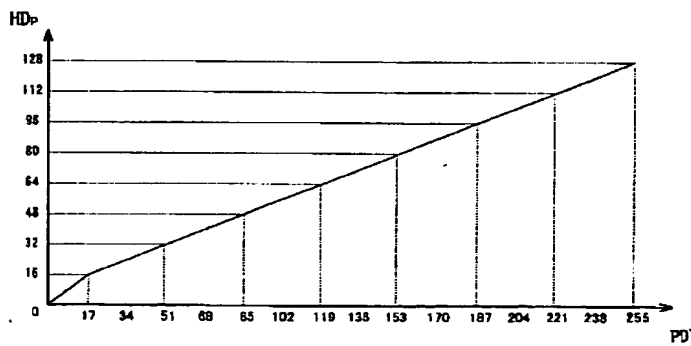
【図6】



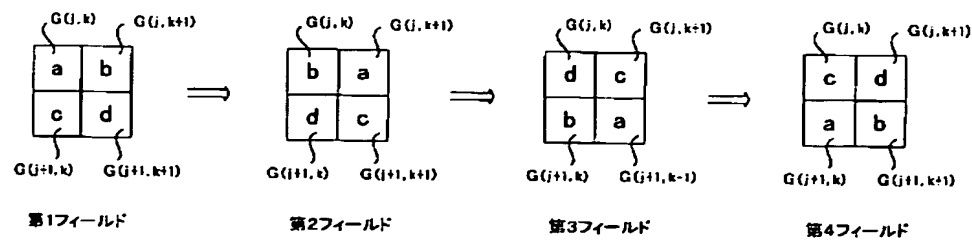
【図7】



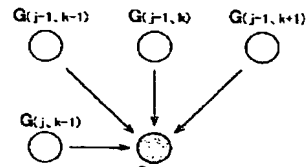
【図8】



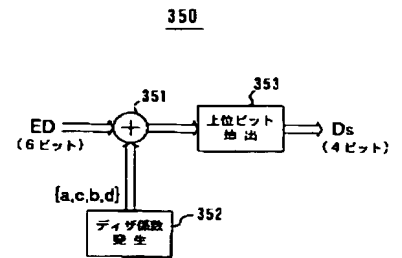
【図13】



【図11】

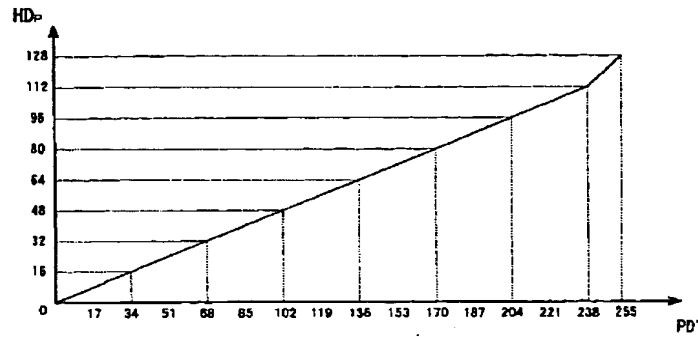


【図12】

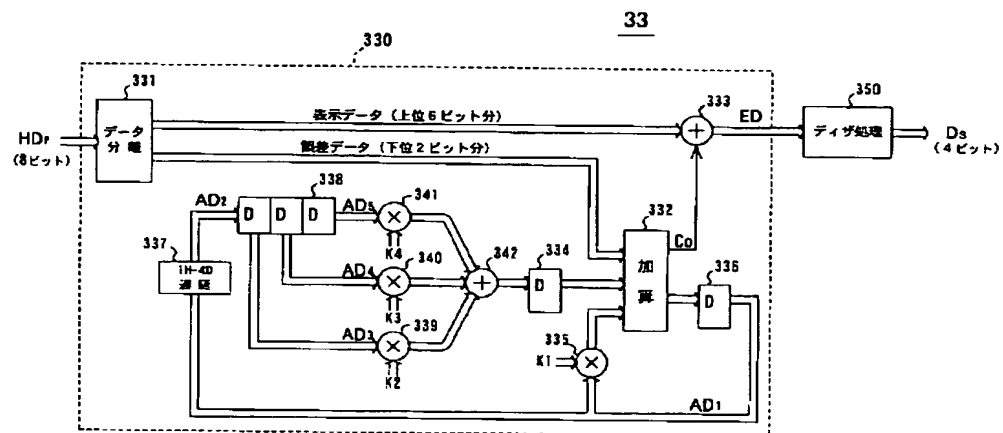


(13)

【図9】



【図10】



【図14】

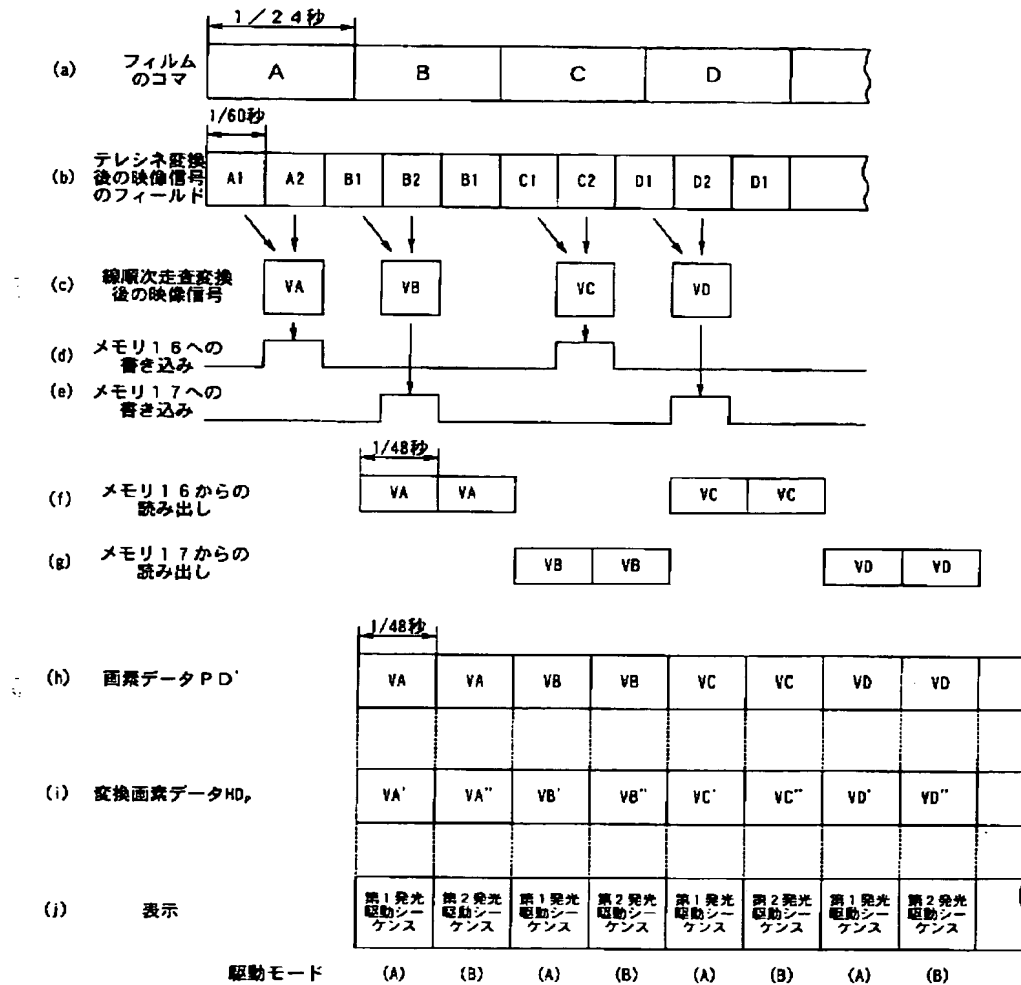
【選択消去】

階層	Ds	HD								発光駆動パターン								発光強度	
		1	2	3	4	5	6	7	8	SF	S	S	S	S	S	S	S	(A)	(B)
											F	F	F	F	F	F	F		
1	0000	1	0	0	0	0	0	0	0	●								0	0
2	0001	0	1	0	0	0	0	0	0	○	●							3	1
3	0010	0	0	1	0	0	0	0	0	○	○	●						14	7
4	0011	0	0	0	1	0	0	0	0	○	○	○	●					34	23
5	0100	0	0	0	0	1	0	0	0	○	○	○	○	●				64	47
6	0101	0	0	0	0	0	1	0	0	○	○	○	○	○	●			104	82
7	0110	0	0	0	0	0	0	1	0	○	○	○	○	○	○	●		155	128
8	0111	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	●	218	185
9	1000	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	255	255

黒丸: 選択消去放電
白丸: 発光

(14)

【図15】



フロントページの続き

(51) Int. Cl. 7

H 0 4 N 7/01

識別記号

F I

G 0 9 G 3/28

テーマコード(参考)

Z

(72) 発明者 本田 広史

山梨県中巨摩郡田富町西花輪2680番地 パ
イオニア株式会社内

F ターム(参考) 2H093 NA43 NC13 NC16 ND01

5C006 AA22 AB05 AC02 AF03 AF23
BF02 FA085C058 AA06 AA11 AA12 BB01 BB04
BB13 BB15 BB16 BB17 BB255C063 AC10 BA04 BA10 CA05 CA09
CA23 CA345C080 AA05 BB05 CC03 DD30 EE32
FF12 JJ02 JJ04 JJ05 KK43

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.